

SIGNAL AND DATA LOGGER

Tamás Borsányi

Master Degree Programme (2), FEEC BUT

E-mail: xborsa00@stud.feec.vutbr.cz

Supervised by: Jaromír Kolouch

E-mail: kolouch@feec.vutbr.cz

Abstract: The goal of this project is to design a signal and data logger, which captures analog and digital signals. The device supports multichannel complex triggering, a real-time oscilloscope like mode and an offline mode for analyzing previously sampled data. The main advantage of the device is very long record time. The device will be mainly used for hardware debugging in an industrial environment.

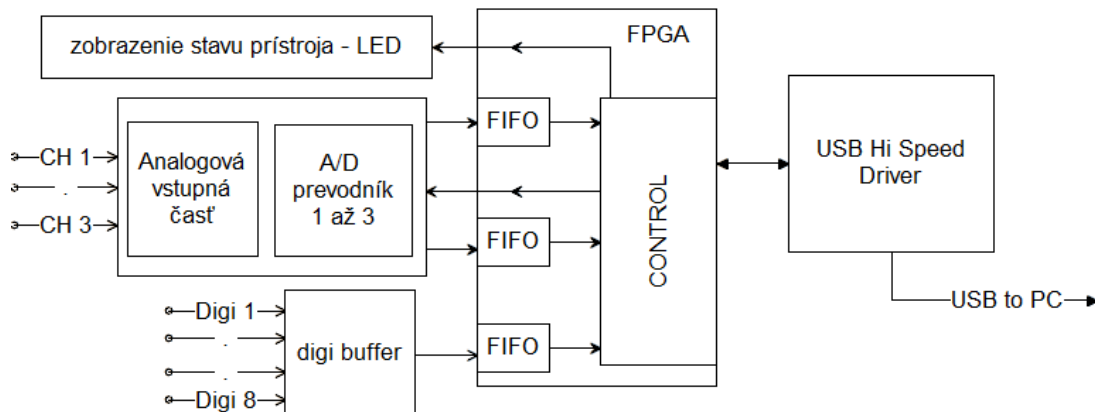
Keywords: Logger, analyzer, FPGA, USB, ADC, RAM

1. ÚVOD

Signálový a dátový logger je prístroj podobný osciloskopu, čiže zobrazuje elektrické signály na obrazovke. Signálový logger navyše tieto deje dokáže podľa predom nastavených parametrov vyhodnotiť a uložiť pre nasledovnú analýzu. Takýto prístroj nájde svoje využitie hlavne pri vývoji systémov s mikroprocesormi.

2. ROZBOR

Prístroj má zvládať vzorkovanie a záznam analógových aj digitálnych signálov so vzorkovacím kmitočtom rádovo jednotiek MHz, podporovať komplexné spúšťacie podmienky a zároveň musí dokázať ukladať dlhé sekvencie, rádovo minúty, týchto dát. Nakoniec ovládanie a funkcie by mali byť podobné funkciám bežného osciloskopu [1]. U analógových signálov samozrejme bolo nutné pridať vstupný zosilňovač, aby systém bol univerzálny. Bolo prebraných viac možností a verzií vytvorenia takéhoto systému. Zvážené boli hlavne možnosti univerzálnosti snímania rôznych signálov, digitálneho nastavenia zosilnenia a posuvu analógových signálov, a možnosti uloženia sekvenčii do dočasných a trvalých pamäti. Finálne riešenie je potom spojením jednotky zberu dát s počítačom cez USB (Obrázek 1). Jednotka zberu dát obsahuje 3 hlavné časti, a to: riadiacu časť s FPGA obvodom a USB radičom, analógový a digitálny modul zberu dát. Počítač potom slúži pre nastavenie prístroja, uloženie a analýzu dát.



Obrázek 1: Bloková schéma prístroja

2.1. ANALÓGOVÁ ČASŤ

Analógová časť obsahuje tieto hlavné prvky: vstupný atenuátor, vstupný zosilňovač, blok posúvania signálu vo vertikálnom smeru, dolnopriepustný filter a A/D prevodník. Vstupná časť má mať vysokoimpedančný vstup $1\text{ M}\Omega / 8\text{ pF}$. Impedanciu zaručí plne vykompenzovaný vstupný odporový delič. Pred samotným deličom je ešte osadené prepínanie väzby AC/DC, ktoré využíva signálové relé, ktoré malo dostatočnú izoláciu po celom užitočnom frekvenčnom pásme. Následuje oddeľovací stupeň, ktorý zaručí dostatočnú zaťažiteľnosť potrebnú pre ďalšie spracovanie. Po tomto stupni je signál zosilnený na požadovanú úroveň. Zisk je plynule nastaviteľný VGA obvodom (variable gain amplifier). Vstup voľby zosilnenia je analógový, na jeho ovládanie je použitý 10 bitový D/A prevodník ovládaný cez sériovou zbernicu, pretože priame digitálne ovládané obvody PGA nemali dostatočne jemný krok, alebo rozsah. Aby nastavenie vertikálneho posuvu jeho posunom zaťažoval len minimálnu časť obvodu bolo ho vhodným dať čím bližšie k vstupu. Preto bol tento blok vyrobený pomocou ďalšieho D/A prevodníku pripojeného na invertujúci vstup VGA obvodu. Tak je nastavenie vhodnej amplitúdy a polohy signálu uskutočnené na jedinom bloku, a ofset vstupného signálu nezaťažuje ďalšie bloky. Následuje blok aktívneho dolnopriepustného filtra, ktorý odfiltruje nežiadane vyššie frekvencie a tým zabráni vzniku aliasingu. Do systému tesne pred A/D prevodníkom je ešte pridaný pasívny RC článok, ktorý kompenzuje nedostatky aktívneho filtra a tiež obmedzí energiu šumu vstupujúceho do systému. Nakoniec je pridaný A/D prevodník s rozlíšením 8 bitov, rýchlosťou vzorkovania $48\text{ MHz} / 9 \approx 5,333\text{ MHz}$, ktorá je odvodená od USB radiča.

2.2. DIGITÁLNA ČASŤ

U digitálnej časti je použitá aktívna sonda, pretože požiadavky na maximálnu amplitúdu vstupného digitálneho signálu ($\pm 15\text{ V}$, požadované štandardom RS-232) neumožnili pripojenie priamo na FPGA obvod. Priame prepojenie by nebolo vhodné ani kvôli ochrane FPGA obvodu napr. z pohľadu ESD ochrany. Sonda má impedanciu $100\text{ k}\Omega$, je frekvenčne kompenzovaná, a dá sa použiť od úrovni LVTTTL až k RS-232. Primárne obsahuje integrovaný obvod na oddelenie zbernic, ktorému boli pridané ochranné prvky. Vzorkovacia frekvencia je totožná s analógovou časťou.

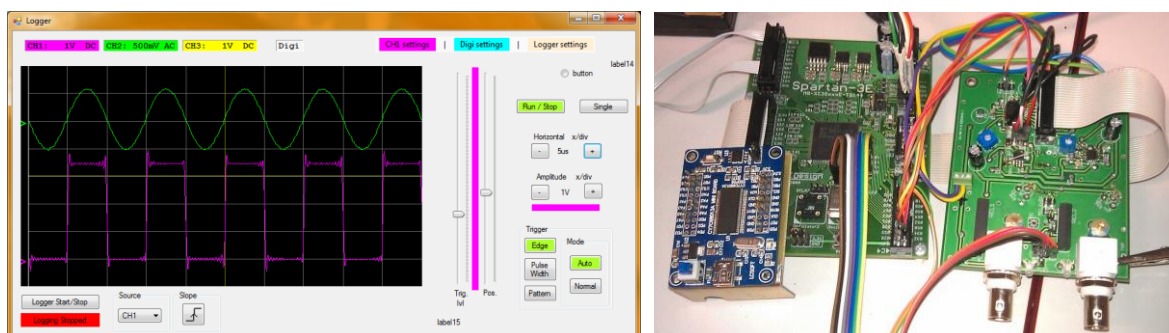
2.3. RIADIACA ČASŤ

U riadiacej časti bolo treba rozhodnúť o primárnej platforme, ktorá bude používaná. Riadiaca časť má za úlohu komunikovať s počítačom cez USB 2.0 (Hi-speed). Všetky navzorkované dáta sú posielane do PC, kde sú ďalej spracované. Z počítača sú prijímané nastavenia, ktoré sú riadiacou časťou dekodované a nastavené na jednotlivých častiach (zosilnie, posuv signálu, zobrazenie aktívnych kanálov, prepínanie väzby AC/DC). Pri zaťažení troch analógových a 8 digitálnych kanálov s rýchlosťou $5,333\text{ Msps}$ je zrejme, že úlohu nezvláda obyčajný mikrokontrolér. Na túto úlohu bol najlepší využiť FPGA obvod, ktorý umožňuje spracovanie každého kanálu paralelne v reálnom čase. Riadiaci software pre FPGA obvod je písaný v jazyku VHDL, ktorý je optimalizovaný práve na paralelizmus [2]. V obvode sú implementované radiče D/A a A/D prevodníkov, a stavový automat na riadenie toku z USB radiča. Bolo potrebné implementovať aj FIFO pamäte na zachovanie kontinuity dát, pretože USB prenos nieje plynulý. Vykazuje nárazové prenosi s $10 - 15\text{ ms}$ pauzami. Dĺžka pauzy závisí na konkrétnom hardware, na operačnom systéme a na okamžitom zaťaženej systéme. Software

Ovládanie celého systému prebieha cez PC. Boli vytvorené 2 programy, jeden na nastavovanie a logovanie, a ďalší na analýzu dát. Programy boli vytvorené v jazyku C# [3], obe s grafickým rozhraním. Prvým programom je možné nastaviť všetky parametre prístroja. Obsahuje ovládacieho panel a obrazovku, ktorý sa vo veľkej miere podobá osciloskopu (real-time mód), dovoľuje nastaviť napr. časovú základňu, amplitúdovú základňu, DC posun, podmienku záznamu, ale aj parametre potrebné pre logger, ako napr. vzorkovaciu frekvenciu, alebo počet vzorkov zaznamenaných po podmienke záznamu (post-trigger). Keď užívateľ nastavil všetky potrebné parametre, program je možné prepnúť do logger módu. V tomto módu sú všetky požadované dáta postupne uložené do pamäte

RAM počítača. Na postupné ukladanie je použitý register s kruhovým adresovaním. Podľa nastavenia a veľkosti pamäte RAM doba záznamu môže dosiahnuť aj desiatky minút. Keď je zaznamenaná kombinácia, ktorú užívateľ nastavil, obsah pamäte RAM je uložený na pevný disk pre ďalšiu analýzu v budúcnosti.

Druhý program je vytvorený na analýzu navzorkovaných dát. K analýze potrebuje len navzorkované dáta z predošlého programu, takže program je možno spustiť aj bez jednotky zberu dát, na nezávislom počítači. Program podporuje zoomovanie, vypnutie nezaujímavých kanálov, kurzory časové aj amplitúdové a dekódovanie UART štandardu. Zobrazenie dlhých sekvencií (rádovo stovky miliónov vzoriek) s rozumným množstvom detailov na štandardnú obrazovku bolo veľkou výzvou. Na riešenie tohto problému bol vyvinutý systém na získanie obálky signálu s blokovým decimovaním a náhodným výberom vzoriek. Táto metóda potom vhodne zobrazí obálku periodickým, pulzným aj periodicky-pulzným sekvenciám. Metóda má viac parametrov, ktoré sa menia podľa dĺžky spracovaných dát a podľa užívateľom požadovanej jemnosti zobrazenia.



Obrázek 2: Ukážka softwaru a hardwaru

3. ZÁVER

Bol vytvorený signálový a dátový logger s 3 analógovými a 8 digitálnymi kanálmi (Obrázek 2), s možnosťami spúšťania na hranu, šírku pulzu, alebo komplexne (čiže na stav, hranu v kombinácii na každý kanál). Signálový logger využíva prostriedky bežného počítača a je k nemu pripojený USB zbernicou. K hardware boli vytvorené 2 programy ktorými je možno aktuálne signály zobraziť, nastaviť parametre systému, dáta logovať, a už uložené dáta analyzovať. Systém vyniká schopnosťou veľmi dlhého záznamu, rádovo jednotky až desiatky minút v plnom rozlíšení.

POĎAKOVANIE

Ďakujem vedúcemu projektu doc. Jaromíru Kolouchovi za účinnou pedagogickú a metodickú pomoc, Ing. Martinu Kravkovi za odbornú pomoc pri spracovaní tohto projektu, a firme Honeywell za materiálnu podporu projektu.

REFERENCIE

- [1] Agilent Technologies, Inc. *Agilent InfiniiVision 5000/6000/7000 Series Oscilloscopes – User's Guide* [online]. Agilent, 2011 – [cit. 17. 2. 2014]. Dostupné na [www: http://cp.literature.agilent.com/litweb/pdf/54695-97015.pdf](http://cp.literature.agilent.com/litweb/pdf/54695-97015.pdf)
- [2] KOLOUCH, J., KUBÍČEK, M. Programovateľné logické obvody (MPLD), *skriptum a prezentácie z prednášok*, Vysoké učení technické v Brně, 2012.
- [3] Stack Overflow [online]. Fórum – *Témy ohľadom programovania v jazyku c#*. [2012 - 2013] Dostupné na [www: http://stackoverflow.com/](http://stackoverflow.com/)