

SIGNAL GENERATOR FOR ANALOG MEASUREMENT APPROACH

Petr Gottwald

Bachelor Degree Programme (3), FEEC BUT

E-mail: xgottw05@stud.feec.vutbr.cz

Supervised by: Lukáš Fujcik

E-mail: fujcik@feec.vutbr.cz

Abstract: The design of signal generator is described in this paper. The generator is designed as fully controllable from PC computer via USB bus and for generating of sine waves, rectangular waves in 0 - 1 MHz range and triangular waves in 0 - 100 kHz range. Field-Programmable Gate Array (FPGA) is utilized to implement Direct Digital Synthesis (DDS) method.

Keywords: FPGA, DDS, waveform, signal

1. ÚVOD

Velmi často je potřeba ověřovat určité specifické vlastnosti analogových obvodů (i digitálních, jsou-li ověřovány jejich elektrické vlastnosti). V dnešní době je bezpochyby velmi rozšířené simulování elektrických obvodů pomocí specializovaného počítačového software. Signálové generátory mají své místo, když je třeba určit vlastnosti fyzického obvodu. Pro realizaci generátoru byla zvolena číslicová metoda přímé digitální syntézy. Metoda byla popsána v jazyce VHDL a implementována do FPGA obvodu XC3S200 firmy Xilinx. Výstupním signálem je harmonický signál, trojúhelníkový signál a obdélníkový signál. Celý obvod je pak ovládán přes sběrnici USB z obslužného programu na PC.

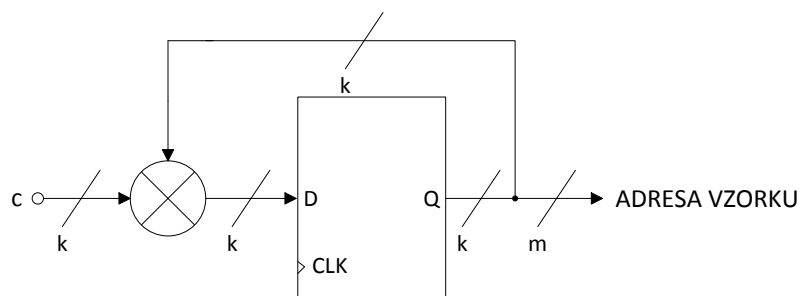
2. NÁVRH GENERÁTORU

2.1. DIGITÁLNÍ ČÁST

Metoda přímé digitální syntézy spočívá v použití fázového (adresového) akumulátoru. Navržený digitální obvod přičítá v každém hodinovém taktu ke svému obsahu hodnotu ze svého řídicího vstupu. Čím vyšší tato hodnota je, tím kratší dobu trvá, než akumulátor dosáhne své maximální hodnoty. Jestliže má být výstupní kmitočet konstantní, je vstupní hodnota také konstantní. [1] Výstup fázového akumulátoru je použit pro adresování vzorků signálu, které mohou být uloženy v paměti, případně počítány vhodným algoritmem (např. CORDIC). Kmitočet výstupního signálu je dán bitovým rozlišením fázového akumulátoru k , kmitočtem hodinového signálu f_{CLK} a vstupní řídicí hodnotou c . Platí, že kmitočet výstupního signálu je dán vztahem:

$$f = \frac{f_{CLK} \cdot c}{2^k} \quad (1)$$

Principiální schéma fázového akumulátoru je na obrázku 1 níže.



Obrázek 1: Principiální schéma fázového akumulátoru

Kmitočet hodinového signálu je 25 MHz, rozlišení fázového akumulátoru 64 bitů. Řídicí hodnota c je generována uživatelským programem na straně PC a pomocí sběrnice USB poslána do FPGA obvodu. V této práci je použita ROM paměť nacházející se v FPGA obvodu pro uchování vzorků harmonické funkce. Paměť je adresována 15 MSB bity fázového akumulátoru. Z důvodu úspory paměťového prostoru je uložena pouze polovina periody, tedy přesněji řečeno 2^{14} vzorků (16384). Druhou polovinu lze velmi snadno spočítat, je-li uvažováno 16-bitové rozlišení amplitudy a 15-bitové rozlišení časové osy, ze vztahu:

$$y(n) = 32768 + \sin\left[\frac{2 \cdot \pi}{N}(n - 16384)\right] \quad (2)$$

kde n je číslo vzorku a N je perioda signálu. Střední hodnota ve vztahu (2) vyjadřuje skutečnost, že signál je reprezentován jako bezznaménkový datový typ. Nutno podotknout, že rozlišení časové osy lze zvýšit ještě o jeden bit, pokud by byla uložena pouze čtvrtina periody harmonické funkce. Toto ovšem zatím nebylo realizováno.

Trojúhelníkový a obdélníkový signál jsou získávány početně. Obdélníkový signál vzniká komparací 16 MSB bitů fázového akumulátoru s 16 bitovou referenční hodnotou.

Trojúhelníkový signál je odvozen rovněž z 16 MSB bitů fázového akumulátoru. V první půlperiodě, kdy má kladnou směrnici, je 16 MSB bitů fázového akumulátoru přímo přeneseno na výstup multiplexorem. Poté je pomocí číslicového komparátoru detekováno vynulování fázového akumulátoru. Na výstup multiplexoru je přenášen signál s opačnou směrnici.

2.2. ANALOGOVÁ ČÁST

Analogová část se skládá z digitálně-analogového (DA) převodníku, výstupního filtru a výstupních zesilovačů. Na jejím výstupu může být amplituda nejvýše 4 V. DA převodník je použit 16-bitový LTC1668 [2] od firmy Linear Technology. Úkolem výstupního filtru je potlačit nežádoucí frekvenční složky vyskytující se v generovaném signálu jako následek DA převodu. Vzhledem k tomu, že trojúhelníkový signál, resp. jeho spektrální složky, nesmějí mít po průchodu filtrem změněnou fázi (jinak dojde k tvarovému zkreslení), byl použit filtr s Besselovou aproximací. Filtr 3. řádu s mezním kmitočtem 5 MHz umožňuje vyfiltrovat nežádoucí kmitočtové složky nacházející se na vzorkovacím kmitočtu a výše a přitom zachovat správný tvar trojúhelníkového signálu o frekvenci 100 kHz a níž. Generování trojúhelníkového signálu o vyšší frekvenci je možné, ovšem za cenu zaoblení vrcholu a nelinearity. Obdélníkový signál je veden přes rychlý operační zesilovač, kde je zesílen na požadovanou úroveň. Na výstup analogové části je pak přepínán signál z těchto dvou výše popsáných bloků pomocí signálových relé.

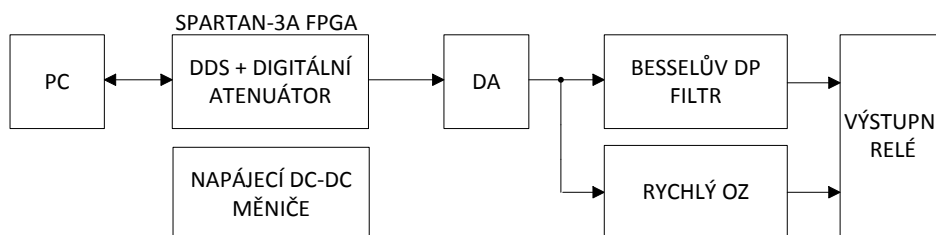
2.3. NAPÁJECÍ ČÁST

Bylo nutné vyřešit otázku napájení jak FPGA obvodu, tak i obvodů z analogové části. Dva step-down DC-DC měniče s obvodem TPS62040 v katalogovém zapojení jsou použity pro převod napětí 5 V z USB sběrnice na napětí 1,2 V pro vnitřní bloky FPGA obvodu resp. 3,3 V pro vstupně-výstupní obvody. Analogová část je napájena ze dvou měničů napětí - jeden převádí napětí

z USB sběrnice na napětí 6 V. To je pak lineárním stabilizátorem opět stabilizováno na 5 V. Tento postup byl zvolen kvůli toleranci napětí na USB sběrnici (4,75 - 5,25 V). Druhý měnič s obvodem TPS63700 převádí napětí z USB sběrnice na -5 V. Vzhledem k výkonovým omezením napájení z USB sběrnice se všechny použité měniče spouštějí postupně. Tím se omezuje velikost proudových špiček při spouštění měničů.

2.4. OVLÁDACÍ ČÁST

Aplikace je vytvořena v prostředí Microsoft Visual Studio 2012. Využívá funkcí zabudovaných v .NET Framework pro přístup k virtuálnímu sériovému portu. Aplikace je napsána v jazyce Visual Basic. Vzhledem k povaze komunikace, kdy jsou odesílány a přijímány relativně malé objemy dat, byla rychlost přenosu dat mezi PC a cílovou deskou s FPGA obvodem zvolena 9600 baud/s. Ve VHDL popisu přijímače sběrnice UART [3] v FPGA obvodu je obsažen detektor chyby při komunikaci. Pokud je výstup detektoru v logické úrovni 1, přijatý příkaz není vykonán. Na obrázku 2 níže je zjednodušené blokové schéma generátoru.



Obrázek 2: Zjednodušené blokové schéma generátoru funkcí

3. ZÁVĚR

Cílem tohoto projektu, jakožto součásti závěrečné bakalářské práce, bylo nastudovat číslicové metody generování analogových signálů a na základě získaných poznatků realizovat funkční vzorek generátoru.

Byl vypracován návrh a ten byl simulován. Výstupní filtr a napájecí část v obvodovém simulátoru LTspice, Pro harmonický signál o frekvenci 1 MHz byla zjištěna hodnota Spurious Free Dynamic Range 64 dB. VHDL popis byl simulován v simulátoru ISIM. Byl vytvořen komunikační protokol mezi PC a FPGA obvodem a navržena deska plošných spojů pro finální realizaci.

REFERENCE

- [1] TIERNEY, J., C. RADER a B. GOLD. A digital frequency synthesizer. Audio and Electroacoustics, IEEE Transactions on (Volume:19 , Issue: 1). March 1971
- [2] Linear Technology. LTC1668. [online]. [citováno 03. 03. 2014]. Dostupné z: <http://cds.linear.com/docs/en/datasheet/166678f.pdf>
- [3] PLUSQUELLIC, Jim. Hardware Design with VHDL: Design Example: UART. In: [online]. [cit. 03. 03. 2014]. Dostupné z: http://www.ece.unm.edu/~jimp/vhdl_fpgas/slides/UART.pdf