

EXPERIMENTAL DEVICE FOR DISPLAYING TRANSIENT AND PERIODIC SIGNALS

Radim Zedka

Secondary school student project (4), SŠPHZ-UH

E-mail: Drumas77@seznam.cz

Supervised by: Zdeněk Berka

E-mail: berka@sphz-uh.cz

Abstract: This document describes a device for displaying transient and periodic signals. It deals with a principle of the function and there are also discussed individual parts of the device.

Keywords: periodic signal, memory, Analog to digital converter, cathode ray tube screen, magnetic deflection of electron ray.

1. ÚVOD

Ve svém projektu vytvářím zařízení sloužící pro zobrazování průběhů jednorázových i periodických signálů na stínítku CRT obrazovky. Zařízení je zkonstruováno z více bloků, které tvoří jeden konstrukční celek v kovové skříni. Průběh zobrazovaného signálu je nejprve načten do paměti a potom opakovaně přehráván do bloků pro zpracování a zobrazení. Zařízení je schopno nahrát průběh do 16 vzorků o kvantizaci 16 napěťových úrovní v rozsahu 0 až 12 V.

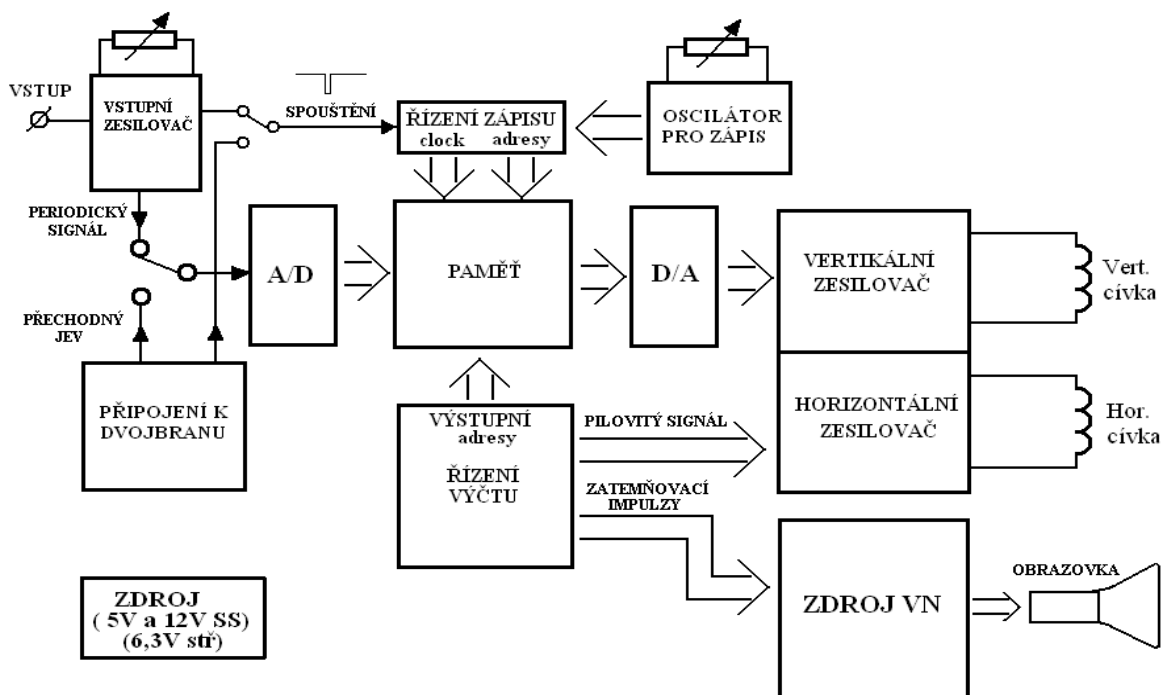
2. TECHNICKÉ ŘEŠENÍ ZAŘÍZENÍ

V této sekci jsou popsány jednotlivé funkční bloky navrženého zařízení (Obr. 1). Celé zařízení je napájeno ze zdroje napětí s hodnotami 12 V, 5 V a 6,3 V, které slouží pro žhavení obrazovky. V zařízení jsou kombinovány technologie CMOS a TTL. Z důvodu napájení výkonových částí (VÝSTUPNÍ ZESILOVAČE, VN ZDROJ) je nutné rozeznávat dvě napájecí napětí (se společným GND). Na vstupu si uživatel pomocí přepínače zvolí mezi měřením přechodných jevů a periodických signálů. VSTUPNÍ ZESILOVAČ zesílí signál na rozsah 0 až 12 V a ten se dále zpracuje A/D převodníkem. Měří-li uživatel přechodný jev, je na vstupní svorky dvojbranu přivedeno napětí 12 V, zesilovač není zapotřebí. Z obou vstupních prvků vychází impuls (popř. impulzy) pro zahájení zapisovací sekvence v ŘÍZENÍ ZÁPISU. Rychlost zápisu se reguluje dvanácti stupňovým přepínačem. Doba zápisu se dá měnit v pořadí od 1 s po 200 ms. Maximální možná měřitelná frekvence je tedy 5 kHz. Samotná PAMĚŤ má kapacitu 64 bitů a je schopna zapsat 16 časových vzorků o 4 bitech. ŘÍZENÍ VÝČTU z paměti generuje výstupní adresy, a tak vyvolává uložené informace na výstupy multiplexorů paměti. Zároveň generuje signál pro horizontální vychylování paprsku a pro zatemňování jeho zpětného běhu. D/A převodník rychle se měnící vzorky převádí na napěťovou úroveň, kterou VERTIKÁLNÍ ZESILOVAČ budí vertikální vychylovací cívku. ZDROJ VN vytváří napětí potřebná pro chod obrazovky.

2.1. PAMĚŤ

Středem celého přístroje je paměť tvořená DPS o velikosti 270 x 200 mm. Je vyrobena z 16 integrovaných klopných obvodů typu D – 40175 (každý obvod obsahuje čtyři paměťové buňky se společným hodinovým vstupem a resetem, 5 demultiplexorů a 4 multiplexory (4 adresy a 16 výstupů, popř. vstupů). Na vstupu jsou čtyři demultiplexory 74LS154, které jsou ovládány adresovacími vstupy a rozesílají čtyřbitovou informaci do konkrétního DKO (klopného obvodu). Ty se zapíšíou v okamžiku nástupné hrany pátého demultiplexoru, který ovládá hodinové impulzy. Jakmile proběhne zapisovací sekvence (zaplní se všech 16 DKO), zápis se zastaví. Výstupní multiplexory

slouží k cyklickému výběru bitových informací ze všech DKO, které putují do D/A převodníku. Vstupní i výstupní adresy, stejně jako hodinové impulzy jsou generovány čítačem kódu BCD 8421, který je následně převeden do Grayova kódu. To vše kvůli ošetření hazardních stavů při zápisu i výčtu informací.



Obr. 1: Blokové schéma zobrazovače jednorázových a periodických signálů

2.2. OBVOD ŘÍZENÍ ZÁPISU DO PAMĚTI

Tento obvod slouží ke generování výše zmíněných signálů Grayova kódu. Je tvořen dvojitým čítačem 4520, kombinačními prvky NAND 4011, XOR 4070 a operačními zesilovači LM324, které slouží pro impedanční přizpůsobení. Jeden čítač reaguje na nástupnou a druhý na sestupnou hranu. Díky tomu je docíleno fázového posuvu 90° mezi výstupními signály (vstupní adresy a hodinový impuls), který je nutný pro bezchybný zápis. Na obou výstupech (čtyřbitových) signálů je integrovaný obvod XOR, který funguje jako převodník do Grayova kódu. Zastavení čítače je zajištěno kombinačními obvody XOR, NAND a přepínačem logických úrovní. Přepínač logických úrovní je umístěn na DPS a umožňuje nám volbu kombinace bitů pro zastavení.

2.3. A/D PŘEVODNÍK

Je to komparátorový převodník napětíové úrovně do kódu BCD 8421 se čtyřmi bity. Je zde celkem 15 komparátorů v 6 integrovaných obvodech LM393 (jeden je nevyužit). Vstupní signál se pohybuje v rozsahu $0 - 12\text{ V}$ a převodník rozlišuje 16 napětíových úrovní (včetně 0 V) zhruba po $0,75\text{ V}$. Výstupní signál z komparátorů, který je v prioritním kódu o 15 bitech se, pomocí obvodů XOR a diod 1N4148, převede do finálního kódu BCD 8421.

2.4. OBVOD ŘÍZENÍ VÝČTU Z PAMĚTI

Generuje výstupní adresovací kód paměti v Grayově kódu, v časovém sledu s ním také generuje pilovitý průběh a krátký impuls pro zatemnění zpětného běhu paprsku. Všechno se provádí cyklicky a tím se zajišťuje zobrazení průběhu na stínítku obrazovky. Základem obvodu řízení výčtu z paměti je oscilátor s IO555, který generuje konstantní frekvenci 270 Hz . Oscilátor budí oba čítače 4520, z nichž jeden se mění v Grayův kód adres a druhý slouží k vygenerování krátkého impulsu. Zatemňovací impuls mimo jiné budí generátor pilovitého signálu [2] pro výstupní horizontální zesilovač.

2.5. D/A PŘEVODNÍK

Převádí čtyřbitovou informaci z paměti do napěťové úrovně 0 až 7,5 V. Převodník je tvořen sérií tranzistorů v režimu proudových zdrojů, které jsou spínány v kombinacích dle aktuálních logických úrovní vstupu. Na výstupu je umístěn kondenzátor, který vyhlazuje „schodovitý“ průběh výstupního signálu [1].

2.6. VÝSTUPNÍ ZESILOVAČE

Horizontální a vertikální zesilovače jsou můstkového typu a zpracovávají pilovitý signál a signál z D/A převodníku [2]. Zesilují je a zmenšují jejich impedanci, načež jsou přivedeny na svorky vychylovacích cívek obrazovky. K tomuto účelu jsou použity výkonové zesilovače TDA2030A spolu s invertujícími zesilovači s tranzistory BC337-40.

2.7. ZDROJ VN

K buzení VN transformátoru (s feritovým jádrem CC) jsou použity dva unipolární tranzistory IRFZ44. Jde o dvojitěinné buzení [1] s klidovým stavem (z důvodu přehřívání tranzistorů). Tranzistory jsou spínány sérií kombinačních prvků, čítačem a IO 555, které vytvářejí potřebný signál ke správné funkci zdroje. Vysokonapěťová část zdroje je galvanicky oddělena od ostatních elektronických obvodů. Transformátor vytváří napětí 135 V (pro jednotlivé mřížky) a 1600 V (na výstupu kaskádového násobiče zapuštěného v kostře transformátoru). Potenciometr zde slouží k regulaci jasů paprsku. Utlumení zpětného běhu paprsku je zařízeno pomocí optonu a vysokonapěťového tranzistoru IRF830. Transformátor (televizní transformátor) s feritovým jádrem tvaru CC je tvořen dvěma primárními vinutími v sérii a dvěma sekundárními vinutími taktéž v sérii. Jedno ze sekundárních je zakončeno integrovaným kaskádovým násobičem, na jehož výstupu je stejnosměrné napětí +1600 V (měřeno vůči bodu spojení obou sekundárních vinutí). Na druhém sekundárním vinutí (s použitou usměrňovací diodou) je 135 V, kladný pól je tentokrát na bodu spojení sekundárních vinutí.

3. ZÁVĚR

Vytvořené zařízení pracuje podle předpokladů, jeho vývoj a úpravy nadále pokračují. Při návrhu a konstrukci zařízení jsem zužitkoval znalosti získané při studiu střední odborné elektrotechnické školy. Vytvořené experimentální zařízení je sestaveno z dílčích částí.

U jednotlivých částí lze snadno pochopit princip a funkci. Při návrhu a konstrukci zařízení jsem využíval základních principů a používal jsem jednoduchých známých součástek. Prozatím jsem při konstrukci nepoužíval mikrokontrolérů a mikrořadičů, ale v další etapě vývoje zařízení je možná použít.

REFERENCES

- [1] MAŤÁTKO, J.: Elektronika. Praha: IDEA servis, 1987, 271 s., ISBN 80-859-7020-1.
- [2] BLAHOVEC, A.: Elektrotechnika I. Vyd. 1. Praha: Informatorium, 1995, 191 s., ISBN 80-854-2772-9.