

# DVI IMPLEMENTATION IN THE FPGA CHIP

**Libor Juřica**

Bachelor Programme (3), FEEC BUT

E-mail: xjuric20@stud.feec.vutbr.cz

Supervised by: Marek Bohrn

E-mail: bohrn@phd.feec.vutbr.cz

**Abstract:** This paper deals with implementation of digital video interface in the FPGA chip. First part focuses at the description of the TMDS standard that allows video signal broadcasting in a high screen resolution and the description of TMDS transmitter logic. Technical specification of DVI is described. Second part consists of writing VHDL code of TMDS transmitter and creating application that uses this interface. Implementation is performed in the FPGA chip Spartan-6.

**Keywords:** HDMI, DVI, FPGA, VHDL, video interface

## 1. ÚVOD

Cílem projektu je implementace video rozhraní s vysokým rozlišením obrazu do obvodu FPGA. V současnosti se používají různé formáty pro rozlišení obrazu. Některá zařízení podporují jen progresivní (p - progressive) zobrazení a některé i zobrazení prokládané (i - interlaced). Nejrozšířenější formáty se označují HD ready (označení 720p nebo 1080i) a full HD (označení 1080p). Pro přenos dat s dosažením vysokých rozlišení obrazu byla vytvořena rozhraní typu HDMI a DVI, která disponují rychlostí a spolehlivostí.

## 2. POPIS ROZHRAŇÍ TYPU DVI

Rozhraní typu DVI (Digital Visual Interface) je určeno pro přenos digitálních signálů. Rozhraní využívá standardu TMDS (Transition Minimized Differential Signaling). Pro rozlišení obrazu do 1280x1024 bodů při obnovovací frekvenci 60 Hz musí řídicí signál dosahovat rychlosti až 108MHz (přenos 10bitové informace rychlostí 1080Mb/s) [1]. Pro tuto práci je k dispozici FPGA obvod Spartan-6, který v nejvyšší rychlostní třídě dosahuje datové rychlosti 1080Mb/s, což je hraniční případ pro uvedené rozlišení. Obvod FPGA je umístěn na vývojové desce s konektory HDMI, které jsou kompatibilní s DVI (oproti DVI přenáší audio signál).

### 2.1. STANDARD TMDS

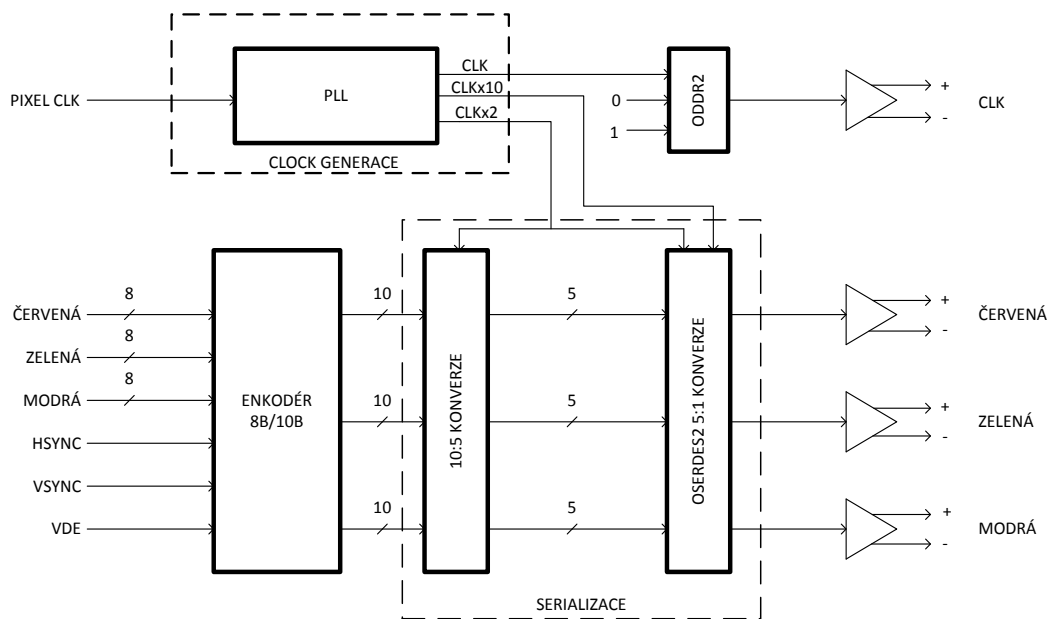
TMDS je standard pro vysokorychlostní přenos dat. Sériový signál je veden diferenčními páry vodičů. Příchozí signál, který nese 8bitovou informaci o barvě, je enkódován na 10bitový stejnosměrně vyvážený signál (stejný počet 1 a 0) a tím se potlačuje vznik elektromagnetického rušení a zvyšuje rychlost přenosu. Komunikace probíhá pomocí čtyř datových kanálů. Tři datové kanály udávají informaci o barvě - červená, zelená, modrá. Čtvrtý kanál vede hodinový signál, který řídí polohu jednotlivých pixelů. Aktivní pixel je řízen horizontální a vertikální synchronizací.

### 2.2. SERIALIZACE

Vytvořený 10bitový signál je nutné převést na sériový, aby mohl být vysílán diferenčními páry. Tento krok je prováděn pomocí 10x rychlejšího hodinového signálu odvozeného od základního řídicího hodinového signálu.

### 3. NÁVRH TMDS VYSÍLAČE

TMDS vysílač je rozdělen na dvě části: enkodování podle standardu TMDS a převod paralelního signálu na sériový.



Obr. 1: Blokové schéma TMDS vysílače

#### 3.1. GENERACE HODINOVÝCH SIGNÁLU

Návrh vysílače vyžaduje řídicí signály, které se generují pomocí bloku PLL. Blok je navržen tak, aby z příchozího hodinového signálu syntetizoval tři signály se stejnou fází, ale s jednonásobnou, dvounásobnou a desetinásobnou rychlostí. Tyto signály řídí serializaci a základní signál je vyslán do přijímače, kde řídí obnovu dat.

#### 3.2. ENKODÉR

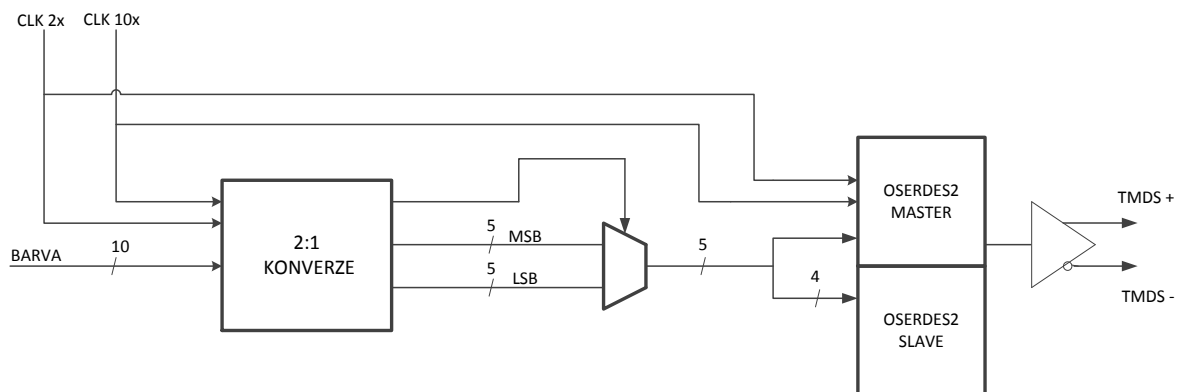
Enkodér bude navržen podle standardu TMDS. Enkódování probíhá ve dvou fázích. V první fázi se z 8bitového signálu odvodí 9bitový signál (pomocí funkcí XOR nebo XNOR). V druhé fázi se podle počtu 1 a 0 převrací hodnota spodních 8 bitů, tím je zajištěna DC vyváženost, a doplňuje se poslední bit, který indikuje, zda byl signál převrácen nebo ne. Pokud bylo přeneseno více 1 než 0 a následující vstupní vektor obsahuje opět více 1 než 0, bude pak výstupní signál převrácen. Výstupní signál je vyslán, pokud je aktuální pixel aktivní (nachází se v zobrazované oblasti). Jestliže není aktuální pixel aktivní, vysílají se 4 různé 10bitové vektory dané kombinací kontrolních signálů vstupujících do enkodéru. [2]

Nejvyšší datová propustnost uvedeného FPGA obvodu je 1080Mb/s, tudíž největší možná datová rychlost je 108MHz. Hodinový signál bude synchronizovat načítání nového vstupního signálu.

#### 3.3. SERIALIZACE

Serializace je omezená vlastnostmi FPGA obvodu. Ten neumožňuje používat rychlé hodinové signály ( $f > 400\text{MHz}$ ) pro externí logiku, ale jen pro interní bloky. Pro serializaci byl zvolen vhodný blok s označením OSERDES2. Tento blok provádí převod paralelních signálů na sériový. Při kaskádovém zapojení je poměr konverze až 8:1.

Do bloku pro serializaci vstupuje 10bitový signál a dva řídicí signály. Převod paralelního signálu musí proběhnout v jednom taktu základního hodinového signálu, proto bude použit 10krát rychlejší signál. Návrh bloku je rozdělen na dvě části. V první části bude probíhat oddělení 5 horních a spodních bitů vstupního vektoru při 2krát rychlejším hodinovém signálu (převod 2:1). Tyto 5bitové signály vstupují v druhé části do logického bloku OSERDES2, který provádí převod 5:1. Na výstupu tohoto bloku bude buffer, který výstupní sériový signál převede na diferenční signál (TMDS).



**Obr. 2:** Blokové schéma serializace

#### 4. DEMONSTRACE

Pro TMDS vysílač bude vytvořena aplikace využívající toto rozhraní k zobrazení grafiky na kompatibilním monitoru. Typově se bude jednat o spořič obrazovky, tzn. pohyblivý obraz. Aplikace bude navržena tak, aby bylo možné měnit rozlišení obrazu. K této aplikaci bude přidáno řízení časové synchronizace obrazu.

#### 5. ZÁVĚR

Navržené bloky jsou popsány v jazyce VHDL. Návrh je optimalizován tak, aby zpoždění signálů bylo pod maximálními dovolenými hodnotami. Enkodér byl navržen podle zavedeného standardu, takže vysílač bude kompatibilní se všemi zobrazovacími zařízeními s podporou digitálního rozhraní typu DVI nebo HDMI. Případné rozšíření projektu bude spočívat ve vývoji TMDS přijímače a úpravě přijímaných signálů.

#### REFERENCE

- [1] FENG, Bob. Implementing a TMDS Video Interface in the Spartan-6 FPGA. In: *XAPP495* [online]. 2010, 2010-12-13 [cit. 2012-12-05]. Dostupné z: [http://www.xilinx.com/support/documentation/application\\_notes/xapp495\\_S6TMDS\\_Video\\_Interface.pdf](http://www.xilinx.com/support/documentation/application_notes/xapp495_S6TMDS_Video_Interface.pdf)
- [2] FENG, Bob a Eric CRABILL. Video Connectivity Using TMDS I/O in Spartan-3A FPGAs. In: *XAPP460* [online]. 2008, 2011-11-24 [cit. 2012-12-05]. Dostupné z: [http://www.xilinx.com/support/documentation/application\\_notes/xapp460.pdf](http://www.xilinx.com/support/documentation/application_notes/xapp460.pdf)
- [3] Spartan-6 FPGA SelectIO Resources: User Guide. In: *Ug381* [online]. 2009, 2010-12-16 [cit. 2012-12-05]. Dostupné z: [http://www.xilinx.com/support/documentation/user\\_guides/ug381.pdf](http://www.xilinx.com/support/documentation/user_guides/ug381.pdf)