

REMOTE CONTROL OF FPGA-BASED EMBEDDED SYSTEM

Jan Král

Bachelor Degree Programme (3), FEEC BUT

E-mail: xkralj07@stud.feec.vutbr.cz

Supervised by: Michal Kubíček

E-mail: kubicek@feec.vutbr.cz

Abstract: This project looks into the development of a part of Digitizer embedded system. The design is focused on the usage of FPGA-based processor managing the remote control operations and on the achievement of the sufficient bitrate for transmitting data to the ethernet network. The project associate positive properties of used solutions and evaluates their applicability in the developed system. Matching concepts of solved problems are designed properly. The implementations of chosen modules were performed into the Digitizer device and the researched characteristics were measured with successful outcome.

Keywords: FPGA, remote control, ethernet, real-time clock counter

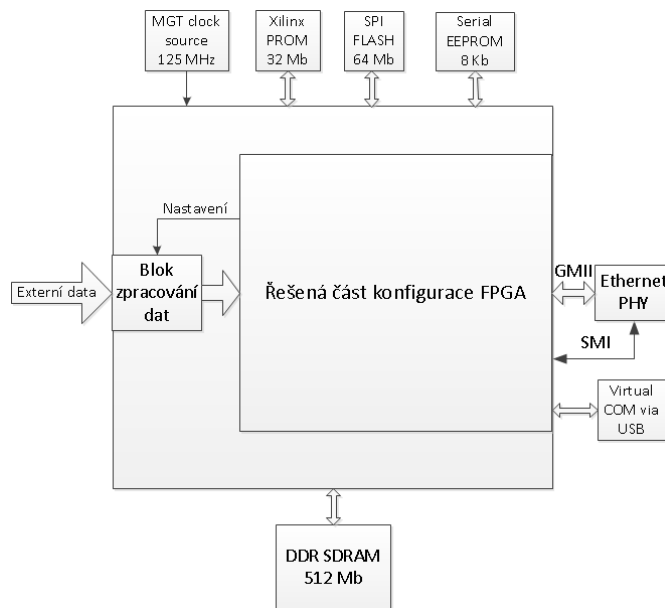
1. ÚVOD

Tato práce se zabývá návrhem a realizací části konfigurace obvodu FPGA a firmwaru procesoru v zařízení Digitizéru. Digitizér je vstupní zařízení PCL radaru, které je určeno pro digitalizaci devíti rádiových vstupů filtrovaných pásmovými propusti. Vzorkovací frekvence A/D převodníků s 16bitovým rozlišením je 122,8 MHz, s uvedenými parametry převodníky generují datový tok téměř 16,5 Gbps. O redukci datového toku se stará blok zpracování dat (není součástí řešeného projektu, viz obrázek 2), jehož výstupní datový tok je přibližně 80 Mbps.

Řešená část má za úkol přijímat z modulu zpracování dat data, která bude posílat ethernetovým rozhraním na předem nastavenou IP adresu nespojovanou službou v UDP rámcích. V základní konfiguraci by datový tok neměl být větší než 100 Mbps, při řešení byla snaha dosáhnout co největší propustnosti, aby zařízení nebylo omezeno při požadavcích většího datového toku. Zařízení musí být schopné zpracovávat požadavky vzdálené správy – nastavení vlastností ovlivňujících funkci Digitizéru, monitoring Digitizéru a aktualizace konfigurace FPGA se zabezpečením proti selhání nové verze; dále musí podporovat synchronizaci času s referenčním NTP serverem.



Obrázek 1: Pohled na čelní panel Digitizéru s rádiovými vstupy a ethernetovým rozhraním



Obrázek 2 Zjednodušené blokové schéma Digitizéru

2. ETHERNETOVÉ ROZHŘANÍ

Pro navrhované řešení má velký význam datová propustnost ethernetu. Při řešení síťové vrstvy a vyšších vrstev programem se stává úzkým hrdlem procesor, který musí zpracovávat pakety ethernetového rozhraní. Standardně používanými jsou 32bitové procesory, a sice nejvíce soft procesor MicroBlaze (využit v ukázkovém projektu [1]) a hard procesor PowerPC.

Použitím hard procesoru PowerPC se šetří dostupné prostředky FPGA, jelikož místo, které by zabral soft procesor, může být využito pro jinou funkci. Další značnou výhodou hard procesoru je v porovnání se soft procesorem dosahovaná taktovací frekvence a výkon, jelikož je jeho implementace maximálně optimalizována při výrobě FPGA a nemusí využívat programovatelné struktury.

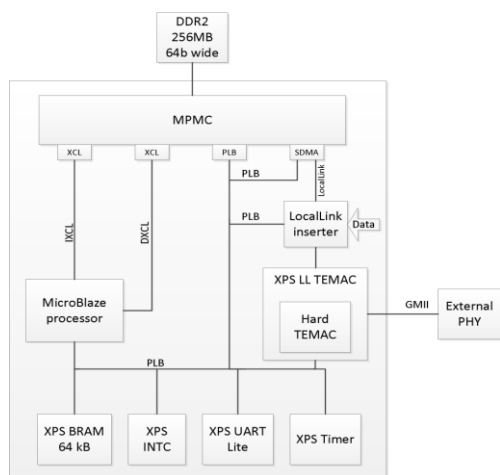
Protikladem všem výhodám hard procesoru PowerPC stojí perspektivní zařízení, pro které je systém navrhován. V nových řadách FPGA od výrobce Xilinx není podpora hard procesoru PowerPC. V případě potřeby využít nový typ FPGA by došlo k nepoužitelnosti koncepce navrženého systému s PowerPC. Soft procesor MicroBlaze má pro daný systém velkou cenu v kompatibilitě s různými typy FPGA, a to i do budoucna. Jeho nevýhodou je menší dosažitelná taktovací frekvence a tím pádem, v porovnání s PowerPC, i menší výpočetní výkon. Použití vyrovnávacích pamětí je z důvodu dosažení výkonu systému nezbytné.

Pro softwarovou podporu je nejlepší volbou lwIP stack z důvodu otevřenosti licence, pod kterou je vyvíjen, a kvůli přímé podpoře ve vývojovém prostředí SDK, které je určené pro vývoj programu pro procesory MicroBlaze i PowerPC (do budoucna i pro nově podporované hard procesory ARM).

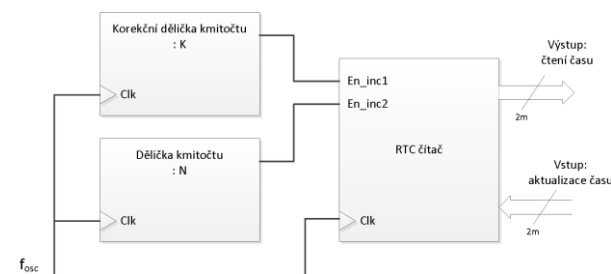
2.1. NAVRŽENÝ SYSTÉM S DOSTATEČNOU DATOVOU PROPUSTNOSTÍ

Navržený systém s blokovým schématem na obr. 3 spojuje výhody hardwarového a procesorového řešení. Modul vložený na sběrnici LocalLink, mezi jádro XPS LL TEMAC a paměťový kontrolér, nazvaný LocalLink inserter, využívá sběrnici LocalLink v čase, kdy je nevyužita. Procesor tedy není zatěžován zpracováním velkého toku dat, které je třeba vysílat. Zabývá se pouze nastavením síťového rozhraní, zpracovává příchozí rámce a požadavky vzdálené správy.

Velkou výhodou uvedeného řešení je dosažitelná datová propustnost, která je omezená ethernetovým rozhraním o propustnosti 1 Gbps. Procesor je z velké části dostupného výpočetního výkonu nevyužit a může být použit pro řízení celého systému.



Obrázek 3: Blokové schéma systému s modulem vloženým na sběrnici LocalLink



Obrázek 4: Blokové schéma RTC čítače pro implementaci do FPGA

3. SYNCHRONIZACE ČASU S NTP SERVEREM

Digitizér pro svou činnost potřebuje znát skutečný čas s přesností 1 ms (časové značky radarový systém využívá pouze pro přiřazení odpovídajících si cílů z radarových stanic, pro výpočet polohy cílů není časová synchronizace z principu potřeba). Jelikož zařízení neobsahuje žádný bateriově zálohovaný RTC obvod, musí zařízení informaci o aktuálním čase získat z ethernetové sítě.

Čítač hodin reálného času jako jednoduchý binární čítač frekvence 125 MHz by čítal každou 1/8 μ s. NTP čas však není uváděn v mocninách deseti, ale v mocninách dvou. To přináší problém neshody formátu času, ve kterém by čítal jednoduchý binární čítač, a času získaného z NTP.

Možností je čítání na frekvenci mocniny dvou. V reálném FPGA obvodu nelze dělit frekvence reálným číslem, ale pouze celočíselně. Frekvence oscilátoru je podělena celým číslem a rozdíl mezi skutečnou a požadovanou frekvencí musí být kvůli dlouhodobé přesnosti času korigován. Navržený čítač s korekcí je znázorněn na obrázku 4. Čítač je možné číst a aktualizovat z programu procesoru.

4. ZÁVĚR

Dostačující požadované datové propustnosti bylo dosaženo hardwarovým modulem vytváření UDP rámců a jejich následným vkládáním do odchozího směru sběrnice LocalLink. Dále byl navržen čítač reálného času jako periferie pro MicroBlaze procesor. Čítač čítá ve formátu pevné desetinné čárky, což formátem odpovídá času získaného pomocí NTP z referenčního serveru. Oba moduly byly úspěšně implementovány do zařízení Digitizéru.

Konečným výstupem projektu bude procesorový systém umožňující aktualizaci konfigurace FPGA a firmwaru se zabezpečením proti chybám při aktualizaci. Systém bude podporovat vzdálené nastavování parametrů zařízení a jeho monitoring způsobem vyhovujícím zadavateli.

REFERENCE

- [1] Xilinx, Inc. *Embedded System Example: Web Server Design Using MicroBlaze Soft Processor (XAPP433, v2.2)* [online]. Vydáno: 13. 10. 2006, [cit. 13. prosince 2011]. Dostupné z: <http://www.xilinx.com/support/documentation/application_notes/xapp433.pdf>.
- [2] Xilinx, Inc. *Product Specification: LogiCORE IP XPS LL TEMAC (DS537, v2.03a)* [online]. Vydáno: 14. 12. 2011, [cit. 15. prosince 2011]. Dostupné z: <http://www.xilinx.com/support/documentation/ip_documentation/xps_ll_temac.pdf>.