

FPGA BASED REMOTE SENSING A/D MODULE

Pavel Štraus

Master Degree Programme (2), FEEC BUT

E-mail: xstrau00@stud.feec.vutbr.cz

Supervised by: Michal Kubíček

E-mail: kubicek@feec.vutbr.cz

Abstract: The paper is focused on implementation of first-order sigma-delta analog-to-digital (AD) converter using a field programmable gate array (FPGA). It requires only one resistor and one capacitor externally connected to the FPGA. The AD converter is suitable for low frequency applications, like audio signal processing and sensing of magnitudes with slow variation (temperature, voltage). To demonstrate the functionality of the AD converter an Ethernet interface with UDP protocol is implemented so that a remote measurement can be performed. Transmitted UDP datagrams containing the measured data are stored in the receiving PC in a text file for further processing in MATLAB.

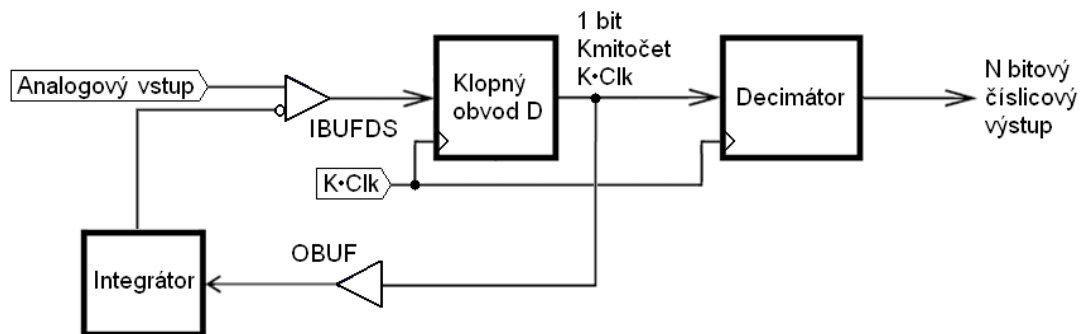
Keywords: AD converter, sigma-delta, UDP datagram, audio signal, FPGA

1. ÚVOD

Samotné programovatelné hradlové pole (FPGA) neobsahuje analogově-digitální (A/D) převodník, ale lze jej externě realizovat. Výhodami této realizace jsou především nízká cena či velikost plošného spoje. Pro realizaci převodu byl vybrán sigma delta převodník prvního řádu. Výhodou je jednoduché zapojení, kdy pomocí FPGA, rezistoru a kondenzátoru lze vytvořit jednoduchý analogově-digitální převodník pro pomalu se měnící vstupní analogový signál. Výstupem z A/D převodníku jsou 8bitová slova, která jsou poskládána do UDP datagramu a zaslána do PC pro další zpracování. V PC byl vytvořen program pro zachytávání UDP datagramů a samotná data, ve formě pulsně kódové modulace, jsou ukládána do textového souboru, který je dále zpracován v programu MATLAB.

2. SIGMA DELTA PŘEVODNÍK

Realizované zapojení sigma delta převodníku prvního řádu je zobrazeno na Obrázku 1.



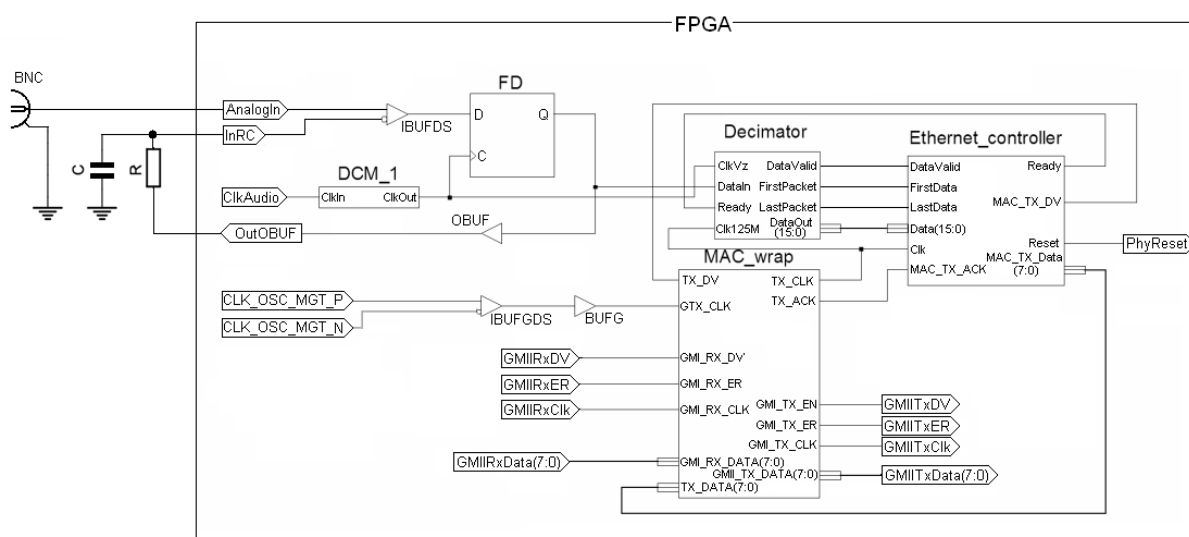
Obrázek 1: Realizované zapojení ADC

Vstupní analogový signál je přiveden na neinvertující vstup obvodu IBUFDS, který má vstupní piny dány standardem LVDS. Obvod IBUFDS pracuje jako komparátor, který porovnává napětí na neinvertujícím vstupu s napětím na invertujícím vstupu. Výstup z IBUFDS je přiveden na klopný

obvod typu D, který synchronně s náběžnou hranou hodinového signálu přesune vstupní signál na výstup. Tento jednobitový výstup je přiveden do decimátoru, kde je proveden převod jednobitového signálu na požadovanou bitovou šířku N a zároveň je přiveden na jednobitový digitálně analogový převodník, který je možné realizovat pomocí obvodu OBUF. Následuje integrátor, který je tvořen RC článkem a výstup z integrátoru je přiveden na invertující vstup obvodu IBUFDS.

2.1. REALIZACE

V obvodu FPGA je realizován 8bitový sigma delta převodník prvního řádu. Rozlišovací schopnost převodníku je určena decimátorem, který s náběžnou hranou vzorkovacího signálu počítá vysoké úrovně na vstupu DataIn. Pro 8bitový převodník může napočítat 0 vysokých úrovní pro nulové vstupní napětí a 255 vysokých úrovní pro maximální vstupní napětí, které je dáno použitým standardem vstupních pinů. V tomto případě je maximální vstupní napětí 2,5 V. Výstupy z decimátoru jsou přivedeny do modulu Ethernet_controller, který vytváří UDP datagramy. Jeden vytvořený UDP datagram vždy obsahuje 60 B dat a poté je zaslán pomocí modulu MAC_wrap do PC. Realizace je provedena pomocí vývojové desky ML505 s obvodem FPGA Virtex-5 XC5VLX50T. Výsledné schéma zapojení převodníku je zobrazeno na obrázku 2.

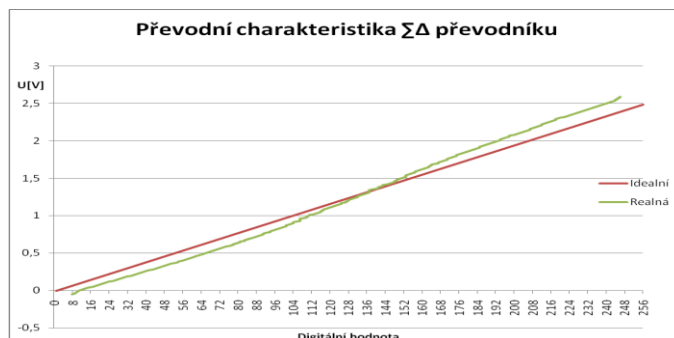


Obrázek 2: Schéma zapojení

Vstup FPGA pojmenovaný AnalogIn zde představuje vstupní analogový signál pro převod, který je zde přiveden pomocí BNC konektoru. Na vstup InRC je přiveden výstup z integračního článku.

2.2. PARAMETRY PŘEVODNÍKU

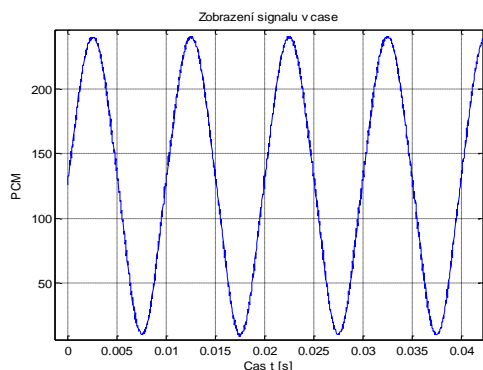
Vstupní analogové napětí je omezeno použitou logikou vstupních pinů, kde je definován standard LVCMOS25, tedy minimální hodnota analogového signálu je 0 V a maximální hodnota je 2,5 V. Rychlost vzorkování, která je v Obrázku 1 označena K Clk, je nastavena na hodnotu 8,192 MHz, což odpovídá periodě 122 ns. Rozlišovací schopnost převodníku je 8 bitů, tedy celkem 256 kvantizačních hladin. S rozlišovací schopností a rychlostí vzorkování souvisí doba převodu, která určuje periodu, kdy jsou na výstupu převodníku platná 8bitová slova. Pro realizovaný převodník je doba převodu 31,25 us, tedy za jednu sekundu budeme mít na výstupu platných 32000 B dat. Na Obrázku 3 je zobrazena převodní charakteristika ideálního a realizovaného převodníku. Tato charakteristika odhaluje statické chyby převodníku. Pro nulové napětí je výstupní digitální hodnota rovna hodnotě 8 v dekadickém vyjádření, což značí chybu offsetu. Dále strmost ideální a reálné převodní charakteristiky je rozdílná, převodník má tedy i chybu zesílení. Dále je možné si povšimnout diferenciální a integrální nelinearity převodníku, kdy jsou patrné rozdíly ve vertikálním a horizontálním směru reálné a ideální převodní charakteristiky.



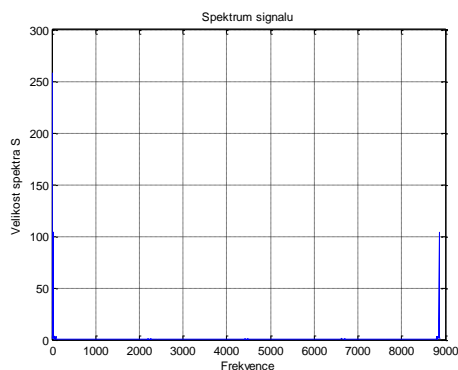
Obrázek 3: Převodní charakteristika

3. PŘÍJEM UDP DATAGRAMŮ A ZPRACOVÁNÍ DAT V MATLABU

Pro příjem UDP datagramů byl vytvořen program ve vývojovém prostředí C++, který do textového souboru zapisuje hodnoty v desítkovém vyjádření. Tyto hodnoty jsou dále zpracovány programem MATLAB. Vstupní signál pro digitalizaci byl přiveden z funkčního generátoru signálu, kde vstupní signál je harmonický o frekvenci 100 Hz, amplitudě 1,25 V a stejnosměrném offsetu 1,25 V. Výsledný signál a spektrum jsou vykresleny pomocí programu Matlab viz Obrázek 4 a Obrázek 5.



Obrázek 4: Harmonický signál



Obrázek 5: Spektrum harmonického signálu

4. ZÁVĚR

Pomocí obvodu FPGA byl realizován 8bitový analogově-digitální převodník pro převod pomalu se měnících vstupních analogových signálů. Převod byl realizován pomocí sigma delta převodníku prvního řádu. Data po převodu byla zaslána pomocí UDP datagramů do PC, kde byl každý UDP datagram zachycen pomocí vytvořeného programu a dále data ze zachycených UDP datagramů byla zpracována v prostředí MATLAB. Ověření funkčnosti bylo provedeno pro harmonický signál o frekvenci 100 Hz.

LITERATURA

- [1] ORTMANN, M. GERFERS F. *Continuous-Time Sigma-Delta A/D Conversion Fundamentals, Performance Limits and Robust Implementations*. Springer Berlin Heidelberg, 2006. 243 stran. ISBN 3-540-28406-0
- [2] VRBA, K. HANÁK, P. *A/D převodníky (kapitola sigma-delta)*. Elektronické skriptum. Brno:FEKT VUT v Brně, 2007
- [3] KOLOUCH, J. *Programovatelné logické obvody*. Elektronické texty přednášek a počítačových cvičení. Brno:FEKT VUT v Brně, 2007