

# USB INTERFACE ANALYSIS

**Dušan Zošiak**

Bachelor Degree Programme (1), FEEC BUT

E-mail: xzosia00@stud.feec.vutbr.cz

Supervised by: Pavel Štefan

E-mail: steffan@feec.vutbr.cz

## ABSTRACT

This work is aimed to process and analyse USB communication protocol and its implementation into FPGA circuit with use of VHDL programming language. In final result this work should be a synoptic and self-contained document describing the principles of USB interface substantiated with practical design of integrated circuit which will be able to transform data for USB.

## 1. ÚVOD

Univerzálna sériová zbernica (z ang. Universal Serial Bus) je v dnešnej dobe najpoužívanejším zariadením pre káblový prenos dát. Jednou z hlavných výhod je pripojenie zariadenia bez nutnosti reštartovania PC (Plug-and-play device) a taktiež možnosť napájania zariadenia priamo z USB. Ďalej je to pripojenie až 127 zariadení na jedno USB a prenos až 480 Mbit/s. Cieľom práce je navrhnúť layout integrovaného obvodu použiteľného pre rozšírenie navrhovaných obvodov ASIC, ktoré vznikajú na ústave mikroelektroniky, a ktoré umožňujú rýchly prenos dát bez nutnosti použitia externého prevodníka.

## 2. TEORETICKÝ ROZBOR KOMUNIKÁCIE

Celý proces prenosu dát medzi rozhraním a zariadením je riadený z USB a možno ho charakterizovať ako systém: požiadavka – odoslanie dát, resp. prijatie dát – potvrdenie prenosu. Prenos dát pozostáva z 3 typov paketov. Prvý pre prenos požiadavky, druhý typ pre prenos dát a tretí pre prenos potvrdenia. Systém prenosu je znázornená na obrázku 1.

Odoslanie dát z USB do zariadenia:				
Požiadavka na odoslanie dát z USB	⇒⇒⇒	Odoslanie dát z USB	⇒⇒⇒	Potvrdenie prijatia dát zariadením
Odoslanie dát zo zariadenia do USB:				
Požiadavka na prijatie dát do USB	⇒⇒⇒	Odoslanie dát zo zariadenia	⇒⇒⇒	Potvrdenie prijatia dát z USB

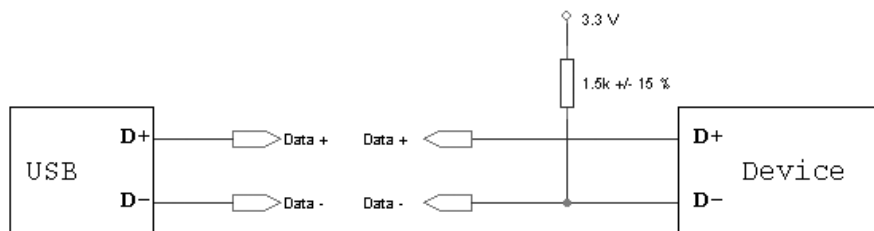
**Obrázok 1:** Systém prenosu dát medzi USB a zariadením

Systém prenosu sa odohráva na dvoch signálových vodičoch (D+) a (D-) pričom platí, že sú navzájom negované. Výskyt rovnakých bitov na oboch signálových vodičoch

sa využíva k definovaniu špecifických vlastností ako reštart a ukončenie paketu. Prenos jednotlivých bitov je uskutočňovaný metódou LSB (z ang. Least Significant Bit) tj. ako prvý sa prenáša bit s najmenšou bitovou váhou. Dáta sú prenášané zakódované metódou NRZI. Správnosť prenosu zabezpečuje kontrolný súčet CRC (z ang. Cyclic Redundancy Check), ktorým sú samotné prenášané dáta doplnené.

## 2.1. SYSTÉM PLUG AND PLAY

Detekcia pripojeného zariadenia je vyriešená prepojením signálového vodiča (D+) cez odpor 1,5 kΩ na napájacie napätie 3,3 V. Tým je zároveň definovaná maximálna rýchlosť prenosu 12 Mbit/s.



**Obrázok 2:** Detekcia pripojenia zariadenia

Po pripojení dôjde k automatickému prenosu dát, potrebných k identifikácii zariadenia, zisteniu používanej verzie USB, výberu vhodného ovládača,... tzv. nastavovacie dáta.

## 3. BLOKOVÝ NÁVRH ŠTRUKTÚRY

Celá štruktúra je programovaná pomocou jazyka VHDL s využitím FPGA obvodu Virtex II Pro od firmy Xilinx, pričom tento obvod je v prípade zistenia nevyhovujúcich parametrov možné kedykoľvek nahradiť obvodom vyššej triedy. Dáta pre odoslanie ako aj prijaté dáta sú postupne spracované naprogramovanými procesmi. Samotný návrh pozostáva z nasledujúcich procesov:

vstupná synchronizácia dát s hodinovým signálom (blok s označením UsbINPT)

proces zabezpečujúci asynchrónne resetovanie celého systému a proces vlastného synchronného resetovania (UsbRST)

proces zabezpečujúci kontrolu vstupných dát a odosielanie správy o stave prenosu (UsbTRAC)

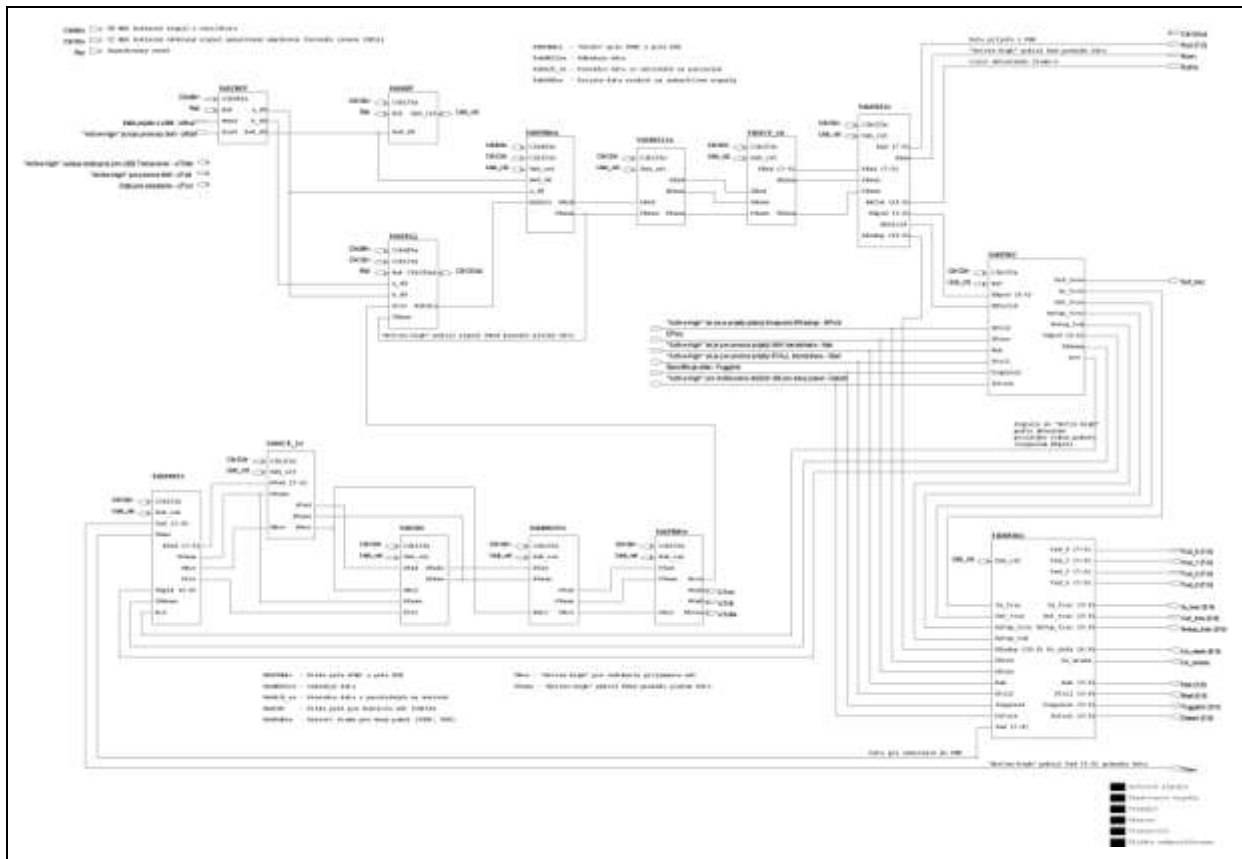
proces presného adresovania na koncovú adresu priamo spojený s FIFO pamäťou, ktorá ovláda proces prijímania a odosielania efektívnych dát (UsbEPdec)

detekcia vstupných paketov a oddelenie kostry (bitov označujúcich začiatok a koniec paketu) (UsbFRMre)

dekódovanie vstupných dát a prevod zo sériových na paralelné (UsbNRZire, UsbS/P\_re)

proces rozdelenia prijatého paketu na jednotlivé zložky (UsbPAKre)

obdobne procesy zabezpečujúce spracovanie dát pre odosielanie – vytvorenie kostry, výpočet kontroly, zakódovanie, prevod na sériové dáta (UsbFRMre, UsbNRZire, UsbS/P\_re, UsbPAKre)



Obrázok 3: Blokové schéma navrhovaného integrovaného obvodu

#### 4. ZÁVER

Blokové schéma uvedené na obrázku 3 predstavuje základnú štruktúru navrhnutého obvodu. Štruktúru je možné rozširovať o nové funkčné bloky, ktoré budú viesť k zlepšeniu vlastností obvodu.. Zatiaľ naprogramovanou a odsimulovanou je vstupnú časť obvodu, ktorá zabezpečí spracovanie prichádzajúcich dát a ich následné roztriedenie do signálových skupín. Najviac komplikovanou časťou je riešenie časovania celého systému a taktiež zaradenie bloku FIFO pamäti pre riadenie odosielaných a prijímaných dát. Neodlúčiteľnou súčasťou návrhu bola aj analýza prenosu komerčne dostupných prevodníkov používaných pre prenos dát pomocou zbernice USB. Ako som už uviedol daný obvod by mal predovšetkým vylepšiť školou navrhované obvody ASIC, a tým zabezpečiť ich vyššiu kvalitu a spoľahlivosť.

#### LITERATURA

- [1] BERTRAM, F. Full-Speed USB 1.1 Function Controller – Product Specification [2000-09-07]. Dostupné z WWW: [http://www.bertram-family.com/felix/usb\\_core\\_files/db-usbSIE.pdf](http://www.bertram-family.com/felix/usb_core_files/db-usbSIE.pdf)
- [2] PEACOCK, C. *USB in a Nutshell – making sense of the USB standard*. Dostupné z WWW: <http://www.beyondlogic.org/usbnutshell/usb-in-a-nutshell.pdf>
- [3] USB CORE TEAM. *Universal Serial Bus Revision 1.1 specification*. Dostupné z WWW: <http://www.usb.org/developers/docs/>