

DESIGN OF BASIC STAGE OF PIPELINED AD CONVERTER

Vilém Kledrowetz

Bachelor Degree Programme(3), FEEC BUT

E-mail: xkledr00@stud.feec.vutbr.cz

Supervised by: Jiří Háze

E-mail: haze@feec.vutbr.cz

ABSTRACT

There exist series of analog to digital converters (ADC) , which distinguish in different speed and accuracy. Pipelined ADC belong among converters with higher speed. This work deals with design of basic stage of pipelined ADC, so-called multiplying DAC. Basic blocks of this multiplying DAC are analyzed and their functions are verified here. A design of operational amplifier is a part of this work.

1. ÚVOD

Analogově-číslicové (ADC – Analog-to-Digital Converter) a číslicově-analogové (DAC – Digital-to-Analog Converter) převodníky nacházejí uplatnění všude tam, kde je třeba analogový signál číslicově zpracovat nebo analogový signál z číslicového vytvořit. Číslicové zpracování analogových signálů má řadu výhod, které jsou podpořeny dostupností a nízkou cenou technického vybavení pro zpracování číslicových signálů, tj. logických kombinačních a sekvenčních obvodů, mikroprocesorů, pamětí atd.

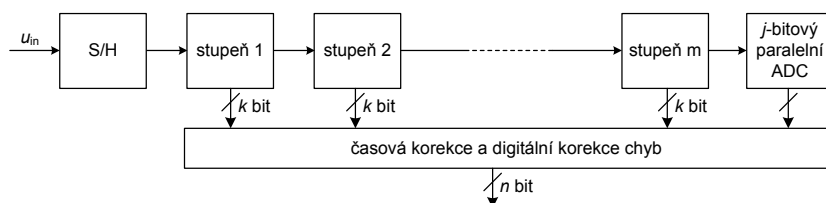
Cílem této práce je podrobněji se seznámit se základními bloky řetězového převodníku AD se zaměřením na tzv. násobící převodník DA (MDAC – Multiplying DAC). Dále navrhnout MDAC v 1,5 bitové struktuře. Tento převodník AD bude realizován pomocí techniky spínaných kapacitorů (SC – Switched-Capacitor Technique).

2. ŘETĚZOVÝ PŘEVODNÍK AD V TECHNICE SC

Řetězový ADC je velmi rozšířený typ převodníku AD pro vzorkovací kmitočty od několika MS/s až do několika stovek MS/s s rozlišením od 8 do 16 bitů. S těmito parametry nachází široké uplatnění v různých aplikacích, například fast Ethernet, xDSL, digitální video (HDTV), CCD imaging, PDA apod.

2.1. PRICIP ŘETĚZOVÉHO PŘEVODNÍKU AD V TECHNICE SC

Řetězový ADC se skládá z několika stejných bloků (stupňů), které jsou propojeny kaskádně za sebou. Každý tento stupeň obsahuje vzorkovací obvod, sub-ADC, sub-DAC a zesilovač. Struktura řetězového ADC je naznačena na obrázku 1.

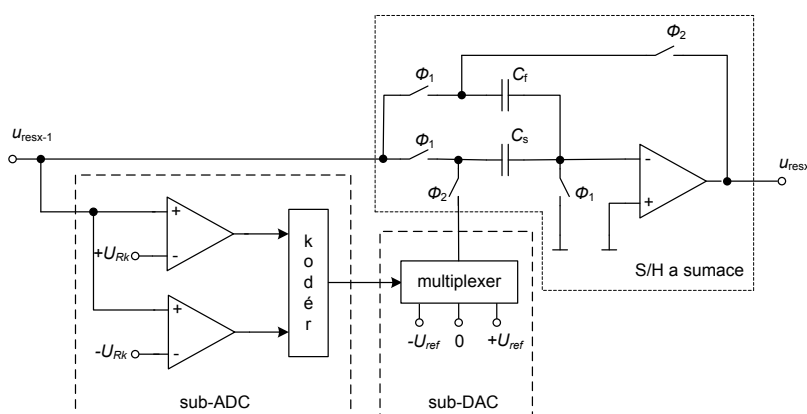


Obrázek 1: Blokové schéma řetězového ADC.

Každý stupeň plní stejnou funkci. Signál je převeden pomocí sub-ADC do binární podoby a odeslán jako částečný výstup. Mezitím je opět v sub-DAC převeden zpět do analogové podoby a odečten od původního vstupního signálu. Výsledné residuum (kvantovací chyba) je zesíleno a odesláno do dalšího stupně. Poslední stupeň nepotřebuje generovat residuum, je realizován většinou jako několikabitový paralelní převodník. Protože částečné výstupy jednotlivých stupňů, odpovídající jednomu datovému slovu, se generují v rozdílném čase, je třeba je synchronizovat. K synchronizaci slouží blok časové korekce. Signál je pak ještě upraven v bloku digitální korekce.

2.2. MDAC REALIZOVANÝ TECHNIKOU SC

Jak již bylo zmíněno výše, každý stupeň řetězového ADC se skládá z několika bloků. Funkci vzorkování, převodu DA, odečtení a zesílení je možné v technice SC realizovat pomocí tzv. násobícího převodníku MDAC. Typický MDAC s rozlišením 1,5 bitu je uveden na obrázku 2.

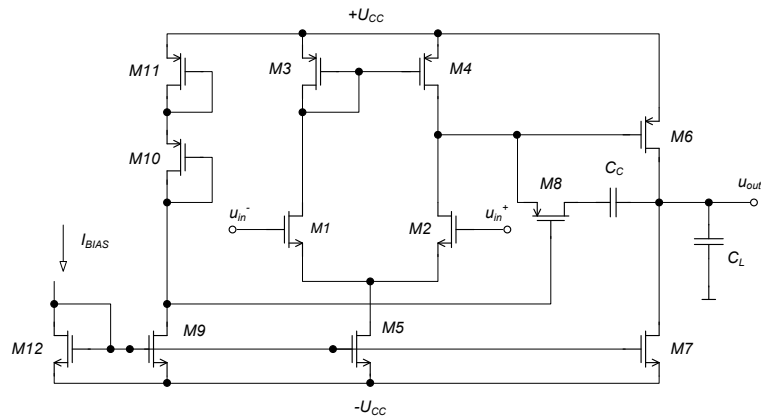


Obrázek 2: 1,5 bitový MDAC realizovaný technikou SC.

3. OPERAČNÍ ZESILOVAČ

Operační zesilovač (OZ) není pouze široce využívaný prvek ve velké části analogových obvodů, ale také velmi důležitý stavební blok ADC. Často ale omezuje jejich vlastnosti, jako rychlost a přesnost, také spotřebovává velkou část elektrické energie v obvodu.

V této kapitole je rozebrán postup a návrh OZ, který je součástí navrhovaného MDAC. Jeho zapojení je znázorněno na obrázku 3.



Obrázek 3: 1,5 bitový MDAC realizovaný technikou SC.

OZ tvoří dva zesilovací bloky. První blok je vstupní diferenční zesilovač, jehož úkolem je převádět zesílený vstupní rozdílový signál na signál jednoduchý. Druhým blokem je jednoduchý invertující zesilovač s aktivní zátěží. Diferenční pár M1, M2 používá jako zátěž proudové zrcadlo tvořené tranzistory M3, M4. Druhý zesilovací stupeň tvoří tranzistory M6, M7. Kapacita C_C je kompenzační kapacita zajišťující stabilitu OZ. Je zapojena v sérii s tranzistorem M8. Ten slouží jako kompenzační rezistor.

Návrh OZ a ověření jeho funkce bylo provedeno v programu OrCAD PSPICE. Požadované a výsledné parametry na OZ jsou shrnuty v tabulce 1.

| | | Požadované | Výsledné |
|------------------|-------------|----------------------|---------------|
| Zesílení | A_U | ≥ 65 dB | 66,8 dB |
| Šířka pásma | GB_{-3dB} | ≥ 100 kHz | 110,7 kHz |
| Rychlost přeběhu | SR | ≥ 10 V/ μ s | 30 V/ μ s |
| Fázová rezerva | φ | $\geq 60^\circ$ | 60,5° |
| Spotřeba | P | ≤ 5 mW | 2,22 mW |

Tabulka 1: Parametry dvoustupňového OZ

4. SHRUTÍ

Tato práce se zabývá návrhem 1,5 bitového MDAC. Jsou rozebrány jednotlivé jeho bloky a ověřena funkce. Součástí je i návrh OZ. V rámci bakalářské práce bude též realizován 2,5 bitový MDAC, budou vyhodnoceny jeho parametry a porovnány s 1,5 bitovou strukturou.

LITERATURA

- [1] Allen, P.,E., Holberg, D.,R.: CMOS analog circuit design, second edition, New York, Oxford University Press 2002, ISBN 0-19-511644-5