

ELEMENTAR PROCESSOR OF A PARALLEL SYSTEM

Michal KRAUS, Master Degree Programme (5)
Dept. of Intelligent Systems, FIT, BUT
E-mail: xkraus05@stud.fit.vutbr.cz

Supervised by: Dr. Jiří Kunovský

ABSTRACT

Taylor series computations are based on an automatic integration method order setting, i.e. using as many Taylor series terms for computing as needed to achieve the required accuracy. Taylor series computations proved to be very attractive for parallel computations.

1 ÚVOD

Práce se zabývá návrhem specializovaného procesoru provádějící numerickou integraci. Počítá se s paralelní spoluprací těchto procesorů pro řešení velkých soustav rovnic.

2 NUMERICKÁ INTEGRACE

Pro realizaci numerické integrace elementárním procesorem se používají základní jednokrokové integrační metody. Ty využívají při výpočtu v kroku t_{i+1} hodnotu vypočtenou v kroku t_i . Na počátku výpočtu berou jako výchozí hodnotu zadanou počáteční podmínkou.

Za základní jednokrokovou integrační metodu je možné považovat Taylorovu řadu funkce y v bodě i :

$$y_{i+1} = y_i + hy'_i + \frac{h^2}{2!}y_i^{(2)} + \dots + \frac{h^n}{n!}y_i^{(n)} \quad (1)$$

Jednoduchá diferenciální rovnice, ukázka řešení:

$$y' = y, \quad y(0) = y_0 \quad (2)$$

$$\begin{aligned} y_{(i+1)} &= DY_0 + DY_1 + DY_2 + DY_3 + \dots + DY_p = \\ &= y_i + hDY_0 + \frac{h}{2}DY_1 + \frac{h}{3}DY_2 + \dots + \frac{h}{p}DY_{(p-1)} \end{aligned} \quad (3)$$

Použití Taylorovy řady se jeví jako velmi rychlé a velmi přesné.

3 PRINCIP NÁVRHU A ČINNOSTI ELEMENTÁRNÍHO PROCESORU

Z příkladu řešení homogenní diferenciální rovnice pomocí Taylorovy řady 2 vyplývají jednotlivé požadované operace mikroprocesoru: sčítání, odčítání, násobení.

Pozn.: Předpokládá se výpočet v pevné řádové čárce (čísla jsou v doplňkovém kódu).

3.1 SČÍTÁNÍ

Provádí kombinační sčítačka.

3.2 ODCÍTÁNÍ

Operace odčítání se převede na sčítání změnou znaménka menšitele. Tento převod je realizován podle následujícího algoritmu:

- provede se inverze všech řádů (bitů) menšitele (logickou úrovní “1” řídicího signálu NEG v bloku řízené negace dat BNEG)
- k nejnižšímu významovému bitu se přičte logická hodnota “1” (pomocí signálu $C_{IN} = 1$)

3.3 NÁSOBENÍ

Násobení se provádí sérioparalelně metodou dílčích součtů a posuvů na principu Boothova algoritmu.

Při realizaci násobení tímto algoritmem je prováděno zpracování násobitele vyhodnocením logických hodnot dvou sousedních bitů (právě zpracovávaného a předchozího) podle tabulky 1. V dalším taktu výpočtu je nutno zajistit aritmetický posuv obsahu střadače ACC, který uchovává celkový mezisoučet, a posuv registru násobitele vpravo.

log. hodnota bitů násobitele		odpovídající akce aritmeticko-logické jednotky
b_i bit	b_{i-1} bit	
0	0	přičtení nul k ACC
0	1	přičtení násobence k ACC
0	1	odečtení násobence od ACC
1	0	přičtení nul k ACC

Tabulka 1: Princip Boothova algoritmu

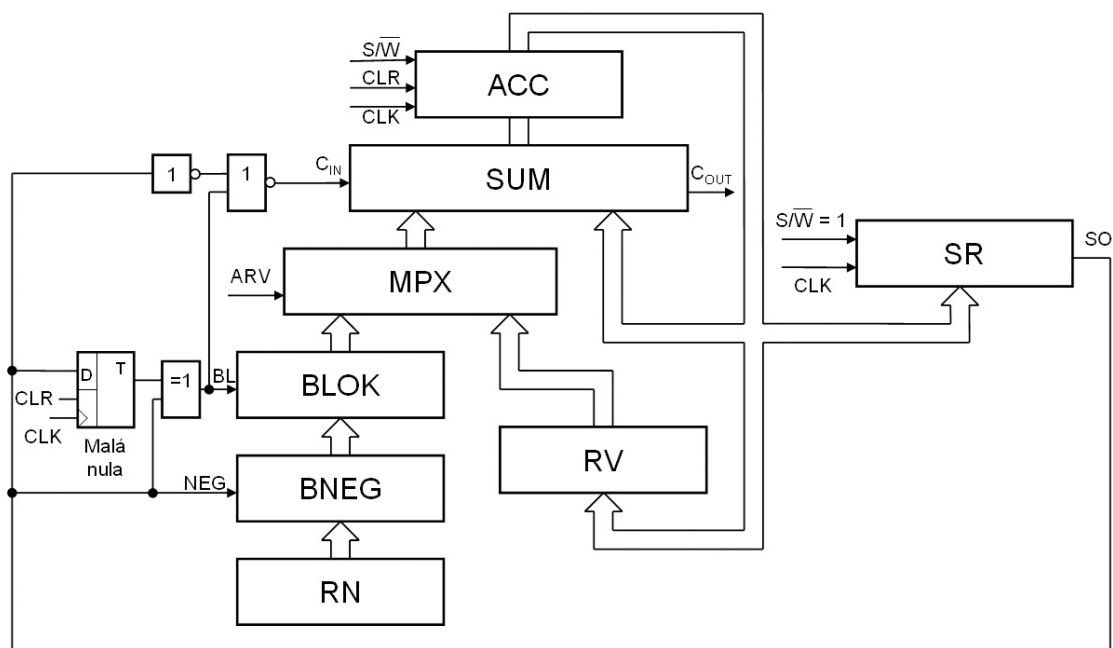
3.4 ELEMENTÁRNÍ PROCESOR

Celé zapojení je na obr. 1.

Základní bloky mikroprocesoru pro výpočet rovnice 3 jsou:

- sčítačka SUM - realizuje součet, rozdíl a vytváření dílčích součtů a posuvů při násobení

- blok řízení přenosu dat BNEG, BLOK - provádí řízenou negaci či zablokování (vynulování) dat přesouvaných do sčítačky
- paměť - jako paměťové členy jsou použity registry, slouží k uchování integračního kroku h (registr násobence RN) a počáteční podmínky y_0 (posuvný registr SR a RV)
- multiplexor MPX - slouží k přepnutí požadované hodnoty do sčítačky
- obvod malé nuly (klopný obvod typu D) - slouží k uchování $i-1$ bitu = rozšíření registru násobitele (při zahájení násobení vynulován)
- pomocné členy - generují řídicí signály NEG , BL , C_{IN} pro výpočet



Obrázek 1: Elementární procesor

4 ZÁVĚR

Návrh elementárního procesoru v pevné řádové čárce je ukončen a předpokládá se jeho realizace v provedení hradlových polí Xilinx. Ověří se tím rovněž počet procesorů, které lze do tohoto experimentálního systému umístit a jejich paralelní spolupráce. Dále vzniká softwarový simulátor, na kterém je vidět činnost celého mikroprocesoru.

REFERENCE

- [1] Kunovský, J.: Modern Taylor Series Method, habilitation work, VUT Brno 1995
- [2] Eysselt, M.: Logické systémy, VUT Brno 1990, ISBN 80-214-0122-2