

IMPLEMENTATION OF HIGH-PERFORMANCE RECONFIGURABLE SYSTEMS ON A CHIP

Zdeněk VAŠÍČEK, Master Degree Programme (5)
Dept. of Computer Systems, FIT, BUT
E-mail: xvasic11@stud.fit.vutbr.cz

Supervised by: Dr. Lukáš Sekanina

ABSTRACT

This paper introduces a universal reconfigurable platform based on the FPGA, that allows developing high performance adaptive systems on a chip. This platform will be demonstrated on the evolutionary image filter design problem, where a significant acceleration was reached.

1 ÚVOD

Existuje řada aplikací, které vyžadují, aby část systému byla adaptabilní. Jedním z příkladů může být hardwareový adaptivní číslicový filtr, který musí být schopen reagovat na změnu charakteru šumu. Většina těchto problémů je typicky řešena s pomocí DSP procesoru řídicího adaptaci, který je propojen s rekonfigurovatelným obvodem. V aplikacích, kde vyžadujeme vysoký výkon, ale můžeme narazit na problém s rychlostí rekonfigurace a propustností kanálu mezi procesorem a rekonfigurovatelným obvodem. Jednou z možností je přesunout do hardware i algoritmus řídicí adaptaci. Hardwareová realizace ale bohužel obvykle vyžaduje zjednodušení algoritmu, neboť jeho implementace by jinak byla velmi složitá. Celý systém se tedy stane sice výkonnějším, ale méně efektivním. Jako ideální řešení se jeví adaptivní systém na jednom čipu, který obsahuje procesor starající se o řízení adaptace a hardware, který je možné rekonfigurovat.

Takový systém je možné realizovat s využitím běžně dostupných hradlových polí FPGA, které nabízí integrované PowerPC procesory. Spojíme-li výhody procesoru, který může realizovat složitější algoritmus, a hradlového pole FPGA, kde máme možnost rekonfigurovat požadovanou funkci, získáme velmi výkonný rekonfigurovatelný systém na jednom čipu. Jedná se o přístup, který nebyl doposud na mezinárodní úrovni publikován.

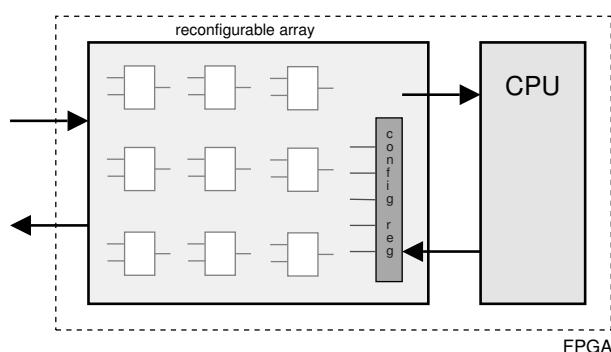
V tomto článku předvedeme způsob realizace takových vysoce výkonných adaptivních systémů, kde část výpočtu běží v procesoru a k adaptaci je využito rekonfigurovatelné pole – vše uvnitř jednoho FPGA obvodu. Uvnitř FPGA je vytvořen virtuální rekonfigurovatelný obvod [1], u kterého je způsob rekonfigurace navržen s ohledem na rychlost rekonfigurace. Tento přístup bude demonstrován na aplikaci evolučního hledání obrazového filtru.

2 REKONFIGUROVATELNÝ SYSTÉM S VYUŽITÍM FPGA

Rekonfigurovatelný systém je možné v dnešní době realizovat s využitím běžně dostupných programovatelných hradlových polí FPGA, neboť novější rodiny hradlových polí firmy XILINX (Virtex II Pro, Virtex 4) jsou vybaveny výkonnými procesory PowerPC [2]. Na jednom čipu máme možnost realizovat téměř libovolně složitý systém, limitováni jsme pouze množstvím dostupných prostředků.

Architektura systému je znázorněna na obrázku 1. Základ dynamicky se měnícího systému tvoří rekonfigurovatelný obvod, jehož chování je možné ovlivnit pomocí konfiguračního řetězce. Ten je typicky uložen v konfiguračním registru, který je přístupný ze strany procesoru. Rekonfigurovatelný obvod může být tvořen buď maticí konfigurovatelných funkčních bloků nebo větším funkčním celkem – např. číslicovým filtrem. Rekonfigurovatelnost je závislá na typu aplikace. V případě, že rekonfigurovatelný obvod tvoří matice funkčních bloků, je zapotřebí měnit jednak funkci jednotlivých bloků a jednak jejich vzájemné propojení – mění se struktura i funkce obvodu. V případě filtru se může jednat pouze o změnu několika parametrů (koeficientů), struktura zůstává neměnná.

Rekonfigurovatelný obvod je připojen do systému, se kterým interaguje, a podle výstupu ze systému se vyhodnocuje jeho odezva. Na základně zpětné vazby, která vstupuje do procesoru, může algoritmus běžící uvnitř procesoru navrhnout změnu v konfiguraci, která se promítne v podobně jiné funkce rekonfigurovatelného obvodu.

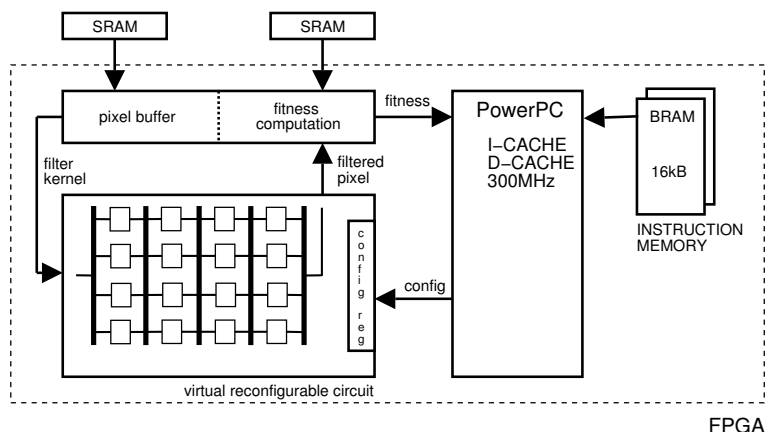


Obrázek 1: Struktura rekonfigurovatelného systému na čipu

Maximální pracovní frekvence procesoru PowerPC je 400MHz. Povolíme-li datovou a instrukční cache, můžeme docílit stavu, kdy v každém taktu mohou být vydány dvě instrukce paralelně. Protože PowerPC disponuje mnoha sběrnici s rozdílnými vlastnostmi, existuje několik způsobů, jak jej připojit k rekonfigurovatelnému obvodu. Nejsložitější sběrnici je PLB (Processor Local Bus). Jedná se o řetězenou 64-bitovou sběrnici, která může pracovat až na frekvenci procesoru. Protože se ale jedná o sběrnici sdílenou několika subsystémy procesoru, nemusíme dosáhnout plné propustnosti. Tato nevýhoda je odstraněna u 64-bitové autonomní sběrnice OCM (OnChip Controller Memory). OCM je primárně určena k připojení blokových pamětí RAM. Poslední možností je použít 32-bitové sběrnice DCR, která je určena k řízení periférií uvnitř FPGA. Maximální propustnost této sběrnice je však oproti předchozím poloviční.

3 DEMONSTRAČNÍ APLIKACE

Navržený systém byl testován na aplikaci evolučního hledání obrazového filtru. Blokový diagram systému je znázorněn na obrázku 2. Cílem je navrhnout z několika funkčních bloků takový filtr, který bude schopen odstranit určitý typ šumu. Poškozený obraz vstupuje do rekonfigurovatelného obvodu uvnitř FPGA, který tvoří filtr. Odezva filtru je porovnávána s požadovaným obrazem a je vypočtena odchylka. Celková suma dílčích odchylek je zaslána do procesoru, který pomocí evolučního algoritmu navrhne změnu struktury a funkce rekonfigurovatelného obvodu. Veškerá data obrazů jsou uložena v paměti SRAM.



Obrázek 2: Blokový diagram systému

Navržený systém je schopen generovat více než 1500 obrazových filtrů za sekundu (v případě obrazů rozměru 128×128 , 100 MHz taktovacího kmitočtu rek. obvodu a 300MHz frekvence jádra), za den je schopen nalézt více než 1400 vyhovujících filtrů. Oproti PC s procesorem Pentium III/800MHz se jedná téměř o padesátinásobné zrychlení.

Plocha, kterou celý design zabírá, je závislá především na velikosti rekonfigurovatelného obvodu. Pro matici 8×7 se pohybuje kolem 40%. Protože je možné do FPGA umístit dva rekonfigurovatelné obvody, je možné dosáhnout až stonásobného zrychlení.

4 ZÁVĚR

V projektu se podařilo vytvořit obecnou rekonfigurovatelnou platformu, jejíž použití závisí pouze na struktuře rekonfigurovatelného obvodu a programu uvnitř PowerPC procesoru. Systém byl úspěšně demonstrován na evolučním návrhu obrazových filtrů, kde se dosáhlo mnohonásobného zrychlení oproti konvenčním metodám.

REFERENCE

- [1] Sekanina, L.: Evolvable Components: From Theory to Hardware Implementations. Natural Computing Series, Springer Verlag, Berlin, 2003
- [2] Xilinx: PowerPC 405 Processor Block Reference Guide, User Guide UG018 (v2.1), Xilinx 2005, <http://www.xilinx.com/bvdocs/userguides/ug018.pdf>