

TESTER OF DIGITAL OPTICAL LINK

Michal KUBÍČEK, Master Degree Programme (5)
Dept. of Radio Electronics, FEEC, BUT
E-mail: xkubic18@stud.feec.vutbr.cz

Supervised by: Dr. Jaromír Kolouch

ABSTRACT

Free space optical links are affected by atmospheric conditions which cause major portion of errors in transferred data. To be able to detect and analyze such defects, specialized testing card was developed. Optical link consists of two communication heads vis-a-vis, both able to receive/transmit. The card is placed inside the head close to electro-optical equipment to minimize other sources of errors. Results of testing procedure are forwarded to master microprocessor module (that is part of tester board) and then via Ethernet interface to a control computer.

1 ÚVOD

Optické bezkabelové spoje jsou ovlivňovány atmosférickými podmínkami, které mají majoritní podíl na chybovosti přenášeného datového toku. Aby bylo možné podrobně sledovat jejich statistické vlastnosti, byla vyvinuta speciální testovací karta. Optické spojení sestává ze dvojice vzájemně komunikujících hlavic. Obě jsou schopné vysílat i přijímat optický signál a v každé z nich je umístěna testovací karta. Ta je co nejlíže přijímací a vysílací části, aby se vyloučila možnost rušení ze zdrojů jiných, než sledovaných. Výsledky testování optického spoje (testování lze externě řídit) jsou zpracovány rychlou logikou v FPGA a předány nadřazenému mikroprocesoru, který je dále přenáší přes rozhraní Ethernetu do řídicího PC.

2 REALIZACE

Testovacího modul má prostřednictvím hlavice přenést optickým spojem posloupnost bitů, kterou protějščí hlavice přijme a předá svému modulu. Ten přijatá data vyhodnotí, tj. porovná přijatou posloupnost bitů s referenční, a zaznamená po blocích počet chyb, případně jejich rozložení (zda byly ve shlucích) a podobně.

2.1 VYSÍLÁNÍ A PŘÍJEM TESTOVACÍHO SIGNÁLU

Spoj pracuje s datovým tokem o rychlosti 155,52 Mbps. Hlavice komunikuje s testerem ve standardu differential PECL, vstupu i výstupu karty jsou od hlavice odděleny buffery. Datový signál pro vysílání je generován v FPGA (Spartan-3 [1]) a je možné volit několik jeho

variant. Základní je pseudonáhodná posloupnost generovaná 23bitovým čítačem LFSR (dle doporučení CCITT O.151), dále střídající se 0 a 1 (...01010101...) a posloupnost ověřující schopnost obvodu obnovy datového signálu udržet se v synchronizmu s přijímaným signálem při příjmu dlouhého úseku stejných bitů. Volba posloupnosti se děje zápisem řídicího slova z řídicího procesoru do registru FPGA.

Před vlastní analýzou chyb je třeba ze signálu přicházejícího do měřicí karty z přijímače obnovit datový a hodinový signál. Toho lze dosáhnout dvěma metodami. První je použití obvodu SY87700 [4], který k obnově hodinového signálu využívá fázového závěsu. Obnovený hodinový a datový signál jsou přivedeny do FPGA, kde jsou přijatá data porovnána s referenčními.

Druhou možností je obnova datového signálu přímo v FPGA [2] (hodinový signál se v tomto případě neobnovuje). Při použití Spartanu-3 je ale datový tok 155 Mbps na hranici jeho možností (v literatuře [2] je uvedena mezní rychlost 160 Mbps, další údaje související s citlivostí obvodu, například na jitter, chybí).

Předem nebylo možné stanovit, zda druhá varianta obnovy dat bude korektně fungovat a proto byla deska navržena pro obě metody.

2.2 ZJIŠTĚNÍ CHYBOVOSTI

Vlastní proces porovnávání vyžaduje pro každou datovou posloupnost poněkud odlišnou realizaci. Proto je třeba vyhodnocovací obvod před testováním nastavit řídicím procesorem na takovou posloupnost, která bude vysílána protější kartou.

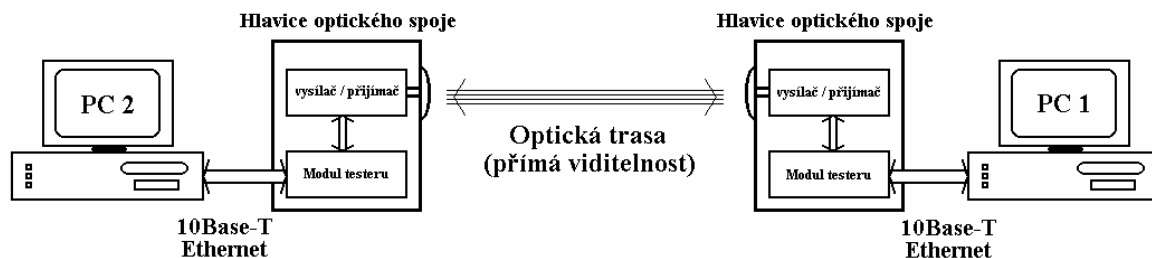
Pseudonáhodná posloupnost je výstupem vysílacího čítače LFSR. Stejný čítač musí být implementován v protější vyhodnocovací části (stejně dlouhý se stejnými zpětnovazebními větvemi). Ten navíc musí běžet synchronně s přijímanou posloupností. Proto je na začátku procesu plnění přímo přijímanými daty jako posuvný registr (v této fázi je jeho smyčka zpětné vazby rozpojena). Po jeho naplnění je smyčka zpětné vazby uzavřena a čítač běží samostatně jako zdroj referenčních dat taktován obnoveným hodinovým signálem (v případě obnovy pomocí obvodu SY), respektive lokálním oscilátorem při obnově v FPGA. V druhém případě je třeba navíc implementovat mechanismus pozastavení (zrychlení) čítače, pracujícího rychleji (pomaleji), než odpovídá přijímané posloupnosti, neboť lokální oscilátor nepracuje přesně na frekvenci oscilátoru vysílače protější karty.

Aby čítač pracoval jako korektní reference, nesmí být během jeho plnění přijat chybný bit. Je-li jeden nebo více bitů chybných, dojde k nesprávnému nastavení čítače a získáme tak neodpovídající zdroj referenčních dat. To se projeví jako detekce velkého množství chyb, ve skutečnosti neexistujících (referenční a přijímaná posloupnost spolu nekorespondují) a měření je znehodnoceno. Prozatím byl implementován ochranný mechanismus, hlídající překročení mezního počtu chyb v plovoucím intervalu. Při překročení nastavené hranice je smyčka zpětné vazby čítače rozpojena, naplnění se opakuje a celý uplynulý úsek je zaznamenán jako doba strávená synchronizací. Bude-li na přenosové trase relativně nízká chybovost, lze očekávat, že bude kontrola fungovat korektně. Nelze však vyloučit problémy, bude-li přijímáno větší množství chybných bitů (1 či více ze 23). Takovou chybovost bude obtížné sledovat, neboť ve většině pokusů o synchronizaci nedojde k bezchybnému naplnění čítače. Za tímto účelem bude nutné buď vhodně optimalizovat délku sledovaného úseku a počtu chyb v něm, zvolit sofistikovanější algoritmus obnovy synchronizace LFSR nebo pro měření při velké chybovosti použít kratší čítač LFSR.

Detekci střídajících se jedniček a nul lze realizovat na podobném principu, jako u LFSR čítače. Zde stačí na synchronizaci pouze jediný bit a detektor se tedy může korektně zachytit i při poměrně velké chybovosti. V případě posloupnosti dlouhých úseků stejných bitů musí být kontrolní mechanismus synchronizován buď dlouhým úsekem konstantní logické úrovně nebo přechodem mezi bity 0 a 1, což je opět náchylnější na chybovost v době zachycování.

2.3 PŘEDÁVÁNÍ ÚDAJŮ O CHYBOVOSTI

Údaje o chybovosti jsou ukládány v FPGA. Každou 1 sekundu je generován signál přerušení pro obslužný modul mikroprocesoru (RCM 2200 s μ P Rabbit 2000, [3]), který je součástí karty testeru. Ten změřená data převezme a dále je (rozhraním 10Base-T Ethernet) předá k dalšímu zpracování do PC. Vzájemná komunikace procesoru a FPGA je realizována 4bitovou adresní sběrnicí, 8bitovou datovou sběrnicí a řídicími signály /IORD a /IOWR. Stejnou cestou je do FPGA zapisováno řídicí slovo určující druh testovací posloupnosti a další nastavení.



Obr. 1: Schéma komunikace modulu testeru s optickým spojem a okolím

3 ZÁVĚR

Tester byl nejdříve oživen a zkoušen v konfiguraci s obnovou dat v FPGA a s možností práce jen s pseudonáhodnou posloupností čítače LFSR. Extrakce dat sice fungovala, ale v provozu se vyskytly určité problémy (projevující se jako náhlý nárůst chybovosti), které se budou dále řešit. Na další desky testerů byl osazen obvod SY, a tyto během dosavadního prověřování pracovaly spolehlivě.

Modul byl navržen pro analýzu vlastností konkrétního optického spoje, jemuž je však specifická pouze vstupní a výstupní část a rozměry desky plošného spoje. Mírnou úpravou (například přidáním optočlenů pro komunikaci pomocí optického kabelu) jej lze přizpůsobit pro připojení k dalším přenosovým zařízením a využít tak k testování (kontrolě) i jiných přenosových tras. Rychlost datového toku je shora omezena možnostmi FPGA a obvodu SY87700 (je-li použit).

LITERATURA

- [1] Spartan-3 FPGA Family: Complete Data Sheet. Dokument firmy Xilinx, DS099, 8/2004
- [2] Sawyer, Nick: Data Recovery. Aplikační zpráva firmy Xilinx, XAAP224, March 4, 2004
- [3] RCM2200 RabbitCore User's Manual. Dokument firmy Rabbit Semiconductors
- [4] SY87700V Clock And Data Recovery. Dokument firmy Micrel, October 2003