

SWITCHED CURRENTS ALGORITHMIC AD CONVERTER

Tomáš OPLETAL, Master Degree Programme (5)
Dept. of Microelectronics, FEEC, BUT
E-mail: opletal.t@gmail.com

Supervised by: Ing. Michal Skočdopole

ABSTRACT

The Switched-Currents (SI) technique is a circuit method that enables mixed analog and digital circuits to be realized with a standard digital CMOS process. The SI is useful for algorithmic analog-to-digital converters design. ADCs of this type occupy a small die size. Utilization of redundant signed digit (RSD) technique to offset impact reducing is described in this paper.

1 ÚVOD

Analogově digitální převodník slouží k transformaci spojitého vstupního signálu na posloupnost čísel. Převodník lze realizovat pomocí různých obvodových řešení. Technika spínaných proudů (SI) byla vyvinuta v 80. letech minulého století, pro VLSI struktury v technologii CMOS. Jejím hlavním rysem je přenos signálů v rámci obvodu v podobě proudových vzorků. Je využíván v celé řadě analogově-digitálních obvodů.

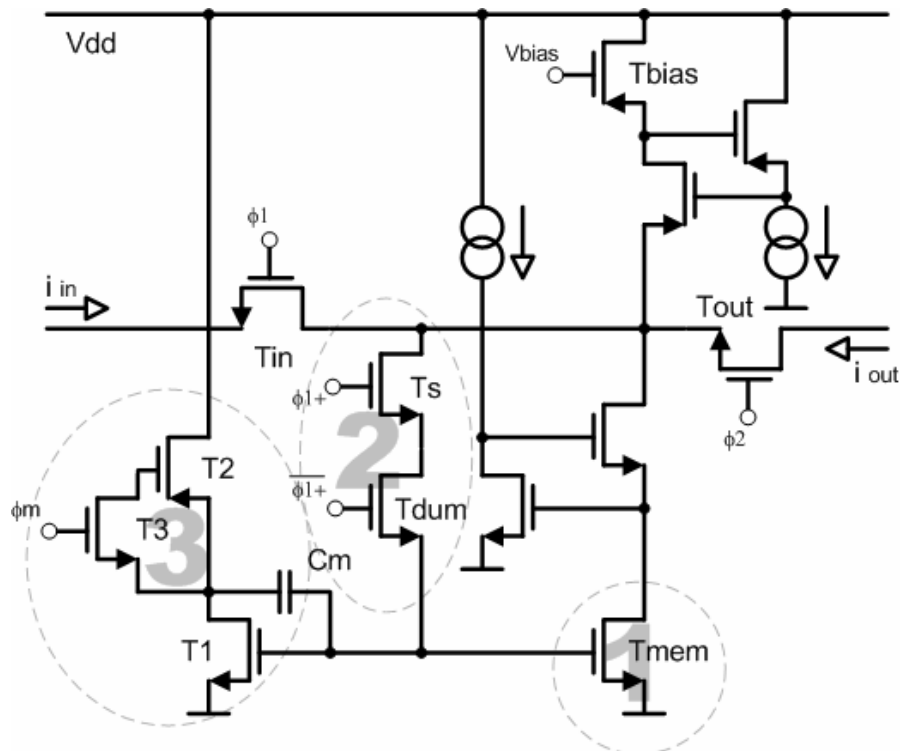
2 TECHNIKA SPÍNANÝCH PROUDŮ (SI)

Předchůdcem SI, pro aplikaci v oblasti převodníků, byla technika spínaných kapacitorů (SC). Technika SC v technologii CMOS vyžaduje lineární kapacitory (složitější technologie výroby) a také má vyšší nároky na napájecí napětí. Technika SI využívá schopnosti MOS tranzistoru „zapamatovat“ si kolektorový proud při otevřeném obvodu hradla pomocí náboje v parazitní kapacitě v oblasti hradla. Základním stavebním blokem SI je paměťová buňka, která má dvě základní provedení. Buňka první generace se skládá ze dvou tranzistorů stejného typu vodivosti, zapojených jako proudové zrcadlo, v důsledku čehož trpí nehomogenitou výrobního procesu a je méně přesná oproti buňce druhé generace, která byla zvolena pro realizaci algoritmičtějšího ADC. Schéma a princip paměťové buňky druhé generace, která využívá jeden tranzistor jako vstupní i výstupní, je uvedeno v [1].

Výhodami SI jsou nízká cena, vysoká rychlost, nízké napájecí napětí a modularita. Mezi nevýhody patří nižší přesnost, šum a nižší dynamický rozsah.

Při realizaci paměťové buňky s využitím technologie AMIS 0,7 μm , bylo nutné využít několika technik pro vyřešení nedostatků buňky SI. Jako první bylo nutné eliminovat chyby

zaviněné konečnou hodnotou vstupní a výstupní vodivosti paměťového tranzistoru (1), k čemuž slouží zapojení s regulovanou kaskadou, které udržuje stejnou hodnotu vodivosti pro oba stavy. Nejvýznamnějším zdrojem chyb u techniky SI je pronikání hodinového signálu ze spínacích tranzistorů. Pro odstranění této chyby byl použit „dummy spínač“ (2), což je spínací tranzistor doplněný o tranzistor stejné vodivosti s vodivým spojením kolektoru a emitoru, který se spíná v opačné hodinové fázi než samotný spínací tranzistor a svým sepnutím „odčerpá“ zbytkový náboj spínacího tranzistoru, který jinak ovlivní hodnotu napětí na hradle paměťového tranzistoru. Tato kompenzace výrazně zlepšila vlastnosti buňky, ale způsobila rozkmit vstupního signálu. Tento rozkmit a tím i zpřesnění buňky se podařilo eliminovat rozšířením paměťové buňky o Millerův zesilovač (3), jímž se krátkodobě zvýší kapacita na hradle paměťové buňky. Výše uvedené úpravy jsou zobrazeny na obr. 1.

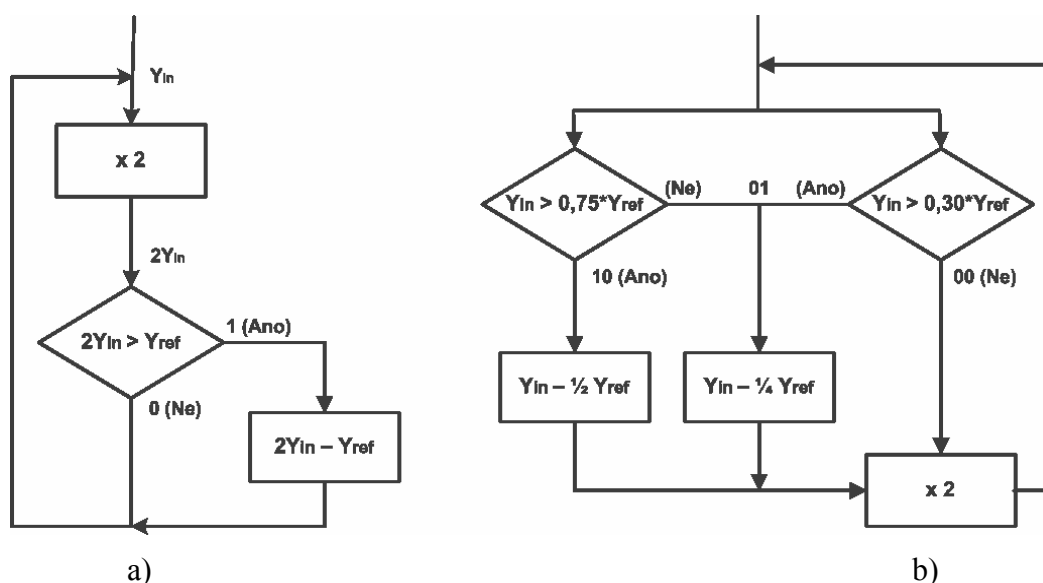


Obr. 1: Upravené zapojení paměťové buňky SI

3 ALGORITMICKÉ AD PŘEVODNÍKY

Předností algoritmického (cyklického) AD převodníku je malá spotřeba místa pro samotné analogové jádro obvodu (cca 1 mm² [2]), navíc potřebuje pouze číslicový blok pro zpracování výstupní informace. Proto jsou algoritmické AD převodníky vhodné pro implementaci do větších digitálních obvodových celků např. mikrokontrolerů. Hlavní nevýhodou je relativně malá rychlost převodu, která se pohybuje dle [2] typicky v rozsahu 8 – 100 kS/s.

Algoritmický převodník (obr. 2a) je využíván i v obvodech SC, kde se vyskytuje chyba offsetu operačního zesilovače, která způsobuje chyby v důsledku posunutí komparační hladiny. Pro omezení vlivu této chyby, byl vyvinut algoritmický převodník RSD, který na rozdíl od základního algoritmického převodníku využívá dvě komparační úrovně.



Obr. 2: Funkční diagram a) algoritického převodníku, b) algoritického RSD převodníku

Počet cyklů pro převod vstupního signálu je v případě převodníku RSD roven počtu bitů výstupního slova, jako u základního cyklického převodníku, ale výstup každého cyklu je 1,5 bitový. Vstupní signál je zároveň porovnáván na obou komparátorech s výstupy: **10** pro $Y_{in} > L_H$; **01** pro $L_H > Y_{in} > L_D$; **00** pro $L_D > Y_{in}$. Pomocí programu Matlab, byly matematicky zjištěny nejlepší úrovně pro komparační hladiny. Z hlediska principu převodníku to jsou hladiny: $0,75Y_{ref}$ pro L_H a $0,3Y_{ref}$ pro L_D . Hodnotícím kritériem bylo získání nejbližší binární hodnoty k příslušnému vstupnímu vzorku v co nejvyšším počtu případů.

Princip algoritického RSD převodníku je vyobrazen na obr. 2b. Prvním krokem je komparace vstupní veličiny (Y_{in}) na obou komparátorech. Při výstupu **10** následuje odečtení $1/2Y_{ref}$, při výstupu **01** se odečítá $1/4Y_{ref}$ a v případě **00** se hodnota zachová. Nakonec se zdvojnásobí získaná hodnota, která je následně přivedena k vyhodnocení následujícího bitu.

4 SHRUTÍ

Pro sestavení převodníku RSD jsou navrženy následující bloky: paměťová buňka (jako základ všech dalších bloků), dva komparátory, dvě sčítačky proudu a blok pro násobení dvěma. Pro samotný převodník je nejdůležitější přesnost paměťové buňky, protože při vyhodnocení vstupní hodnoty jich je využito několik (sčítání chyby!). V obvodech SI lze využít, dle I.KZ, možnost „sčítání a odečítání“ proudů na uzlu. V případě násobení dvěma je toho využito v kombinaci se dvěma paměťovými buňkami, které vzorkují stejný vstup a jejichž zapamatované hodnoty jsou pak sečteny.

LITERATURA

- [1] Musil, V.: Integrované funkční bloky se spínanými proudy, Brno: VUT v Brně, FEI, Ústav mikroelektroniky, 1999, 67 s., ISBN 80-214-1412-X
- [2] Toumazou, C., Hughes, J. B., Battersby N. C.: Switched-currents an analog technique for digital technology, London, UK: Peter Peregrinus Ltd., 1993, 594 s., ISBN 0 86341 294 7