

# PRIORITY QUEUES SYSTEM FOR IPV6 ROUTER

Jan PAZDERA, Bachelor Degree Programme (3)  
Dept. of Computer Systems, FIT, VUT  
E-mail: xpazde08@stud.fit.vutbr.cz

Supervised by: Ing. Tomáš Martínek

## ABSTRACT

This paper deals with design and implementation of Priority Queues system in Field-Programmable Gate Arrays (FPGA). Priority Queues component is a part of the Liberouter project. The main aim of this project is the development of a multigigabit IPv6 and IPv4 PC-based router. The whole design is implemented in hardware accelerator card, COMBO6, which utilizes the flexible technology of FPGA. Priority Queues provide storing of Replicator Records and successive selection and forwarding based on priority rules.

## 1 ÚVOD

V posledním desetiletí jsme svědky výrazného rozvoje Internetu. Počet jeho uživatelů každým dnem roste a tím se zvyšují i nároky na podpůrné prostředky celosvětové sítě. Přenášená informace musí při své cestě projít velkým množstvím uzlů a musí být schopna se vyrovnat i s případnými výpadky. Je právě úkolem internetových směrovačů zvolit pro přenášená data nejvhodnější cestu. S nárůstem objemu přenášených dat však stoupají nároky také na směrovače, které musí být schopny obsloužit na páteřních sítích i multigigabitové toky a navíc být schopny přenášená data analyzovat a filtrovat případné nežádoucí pakety. S rostoucím objemem dat není možné tuto činnost řešit pouze programovým vybavením počítače. Vystala potřeba tvorby směrovacího akcelérátoru.

Tvorbu směrovacího akcelérátoru si vzal za cíl projekt Liberouter, který je součástí výzkumného záměru Cesnetu Programovatelný hardware. Celý projekt je realizován na kartách Combo6, ke kterým jsou připojeny rozšiřující interfacové karty pro různá rozhraní (4x měď pro GE, 4x SFP klec pro GE, 2x XFP klec pro 10GE). Všechny tyto karty jsou osazeny programovatelnými hradlovými poli, v nichž je nahrán firmware realizující funkce směrovače.

Jednou ze základních komponent směrovače jsou výstupní fronty, které podle zvolené priority zajišťují správné pořadí odvysílaných paketů. Jejich cílem je upřednostnit pakety pro konfigurování směrovače a zajistit tak přístup i v případě zahlcení nebo jiných útoku.

## 2 PRIORITNÍ ALGORITMUS

Komponenta Prioritních front (PQ) má za úkol ukládat replikační záznamy z replikátoru do N front typu FIFO volitelné délky a z nich pak podle vhodného prioritního algoritmu tyto záznamy vybírat a předávat je Výstupnímu paketovému editoru (OPE), který na základě obdržených informací sestaví paket a provede jeho odvysílání. Každému OPE je přiřazena volitelná disjunktivní podmnožina z množiny N front a každá fronta v této podmnožině má svou prioritu. OPE jsou na žádost přidělovány první záznamy z fronty, která má v daném čase nejvyšší prioritu.

Výběr fronty s nejvyšší prioritou zajišťuje tzv. Řadič front (Queue Scheduler - QS). Softwarové ovladače při inicializační fázi rozdělují frontám v podmnožině jejich statické priority. Každá fronta je zároveň vybavena čítačem přístupů s vhodně zvolenou šířkou. QS při žádosti o výběr záznamu pro daný OPE začne procházet příslušnou podmnožinu front sestupně podle jejich statické priority. Pokud je fronta prázdná nebo je nastaven příznak přetečení čítače přístupů, fronta se přeskočí a je brán záznam z fronty s nižší prioritou. Tímto postupem se zajistí, že se dostanou občas na řadu i fronty s nízkými prioritami a nedojde k jejich vyhladovění.

Z pohledu navrženého algoritmu je citlivým parametrem šířka čítače přístupů. Mějme rovinici:

$$T = 2^{n \cdot (m-1)} \quad , \text{ kde}$$

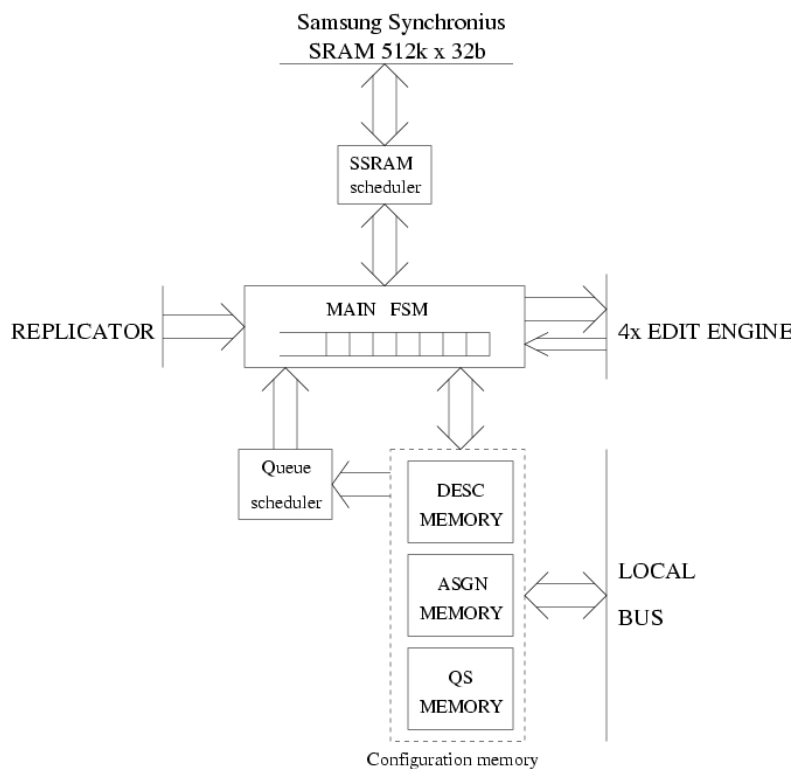
$T$  je maximální doba čekání (v počtu odchozích záznamů) prvního požadavku ve frontě s  $m$ -tou nejvyšší prioritou při šířce čítače přístupů  $n$ .

V současnosti je šířka čítače 3 bity, pro kterou je hodnota  $T$  stále přijatelně malá a výběr z front s vyšší prioritou není nijak výrazně omezen. Hodnota tohoto parametru je softwarově nastavitelná podle potřeby administrátora.

### 2.1 ARCHITEKTURA

Jádrem architektury komponenty znázorněné na obrázku 1 je konečný automat MAIN FSM. Ten přebírá požadavky od Replikátoru na uložení dat do front a zároveň požadavky jednotlivých OPE na vydání dat. MAIN FSM tedy slouží mimo jiné jako arbitr synchronní SRAM, ve které je fyzicky uložen obsah všech front. MAIN FSM je propojen s konfigurační pamětí (viz níže), kterou naplní software při inicializační fázi. Údaji v této paměti se řídí Queue Scheduler, který realizuje prioritní výběr fronty. Poslední součástí je řadič SSRAM, který zajišťuje komunikaci s touto pamětí.

Konfigurační paměť se skládá ze 3 částí. Paměť DESC obsahuje informace o rozložení front v paměti a jejich velikosti. Dále jejich stav (full/empty). Paměť QS je rozdělena na několik podmnožin podle počtu OPE a obsahuje ID jednotlivých front seřazené dle priority. Paměť ASGN obsahuje údaje potřebné pro rozdělení QS paměti na jednotlivé podmnožiny.



Obrázek 1: Blokové schéma PQ

### 3 ZÁVĚR

Prezentovaná architektura systému prioritních front je navržena jako součást IPv6 směrovače využívající akcelerační kartu COMBO6. Díky vysokému výkonu a flexibilitě technologie FPGA dosahuje návrh propustnosti 1Gbps pro každé vstupní rozhraní. Komponenta byla implementována pro 4 rozhraní a dosahuje tak celkové propustnosti 4Gbps. Díky dobré škálovatelnosti navržené architektury je možné návrh snadno rozšířit na více rozhraní. Byla provedena implementace v programovacím jazyce VHDL a výsledný design byl vyzkoušen přímo na kartě COMBO6.

### REFERENCE

- [1] Antoš, D., Novotný, J., Fučík, O.: Project of IPv6 Router with FPGA Hardware Accelerator, Springer Verlag, Field-Programmable Logic and Applications, 13th International Conference, FPL 2003, Lisbon, Portugal
- [2] Novotný, J., Fučík, O., Kokotek, R.: Schematics and PCB of COMBO6, CESNET, z. s. p. o.
- [3] Novotný, J., Lhotka, L.: Liberouter, 6NET Project (IST-2001-32063)
- [4] Novotný, J., Lhotka, L.: Liberouter: a PC-based IPv6 Router, TERENA