

DESIGN AND IMPLEMENTATION OF PROCESSING UNIT FOR PACKET ANALYSIS

Petr MIKUŠEK, Bachelor Degree Programme (3)
Dept. of Computer Systems, FIT, BUT
E-mail: xmikus01@stud.fit.vutbr.cz

Supervised by: Ing. Tomáš Martínek

ABSTRACT

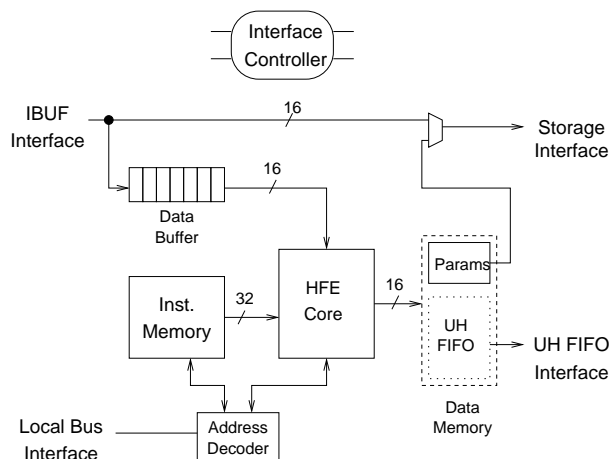
This paper presents architecture of Header Field Extractor processor, which is dedicated for packet analysis. It extracts specific control information from packet's headers, which are important for further packet processing. Processor is based on RISC architecture and it is controlled by instruction set dedicated for packet analysis. As a target technology the Field Programmable Gate Array (FPGA) is supposed.

1 ÚVOD

V posledních letech byl zaznamenán výrazný vývoj v oblasti síťových technologií a přenosová kapacita dosáhla rychlosti 1 Gb/s nebo dokonce 10 Gb/s. Stává se docela obtížné zpracovat takový datový tok a je snaha přesouvat výkonově kritické části na úroveň aplikačně-specifických obvodů nebo programovatelných hradlových polí (FPGA). Speciálně, technologie FPGA se uplatnila díky možnosti využití masivního paralelismu a dosažení flexibility pomocí rekonfigurace nebo dokonce dynamické rekonfigurace. Jednou z klíčových částí síťových aplikací je proces analýzy vstupních paketů, kdy je potřeba extrahovat z hlaviček paketů důležité řídicí informace potřebné pro další zpracování. Cílem tohoto článku je prezentace architektury procesoru HFE (Header Field Extractor), navrženého pro technologii FPGA, a určeného právě pro analýzu vstupních paketů. Procesor je založen na RISCové architektuře a je řízen vlastní instrukční sadou, umožňující flexibilitu pro různé typy aplikací.

2 ZÁKLADNÍ ARCHITEKTURA PROCESORU

Na obrázku 1 je zobrazena základní architektura HFE procesoru. Data paketu přicházejí ze vstupního rozhraní (IBUF) a kruhově se ukládají do datového bufferu (Data Buffer). Současně jsou data přeposílána do bloku Storage, kde čekají na další zpracování. Procesorové jádro pak postupně načítá data z datového bufferu a realizuje samotný proces analýzy paketů, řízený na základě programu uloženého v instrukční paměti. Výstupem analýzy je



Obrázek 1: Architektura procesoru Header Field Extractor

pak sada datových struktur, které mohou být mapovány do různých částí architektury cílové aplikace. Tyto datové struktury se pak uplatňují při dalším zpracování paketu.

Cílem je navrhnout procesorové jádro co nejobecněji a bez přímých vazeb na ostatní bloky v systému, aby ho bylo možné použít beze změny v různých aplikacích. Komunikaci se sousedními bloky pak zajišťuje řadič rozhraní (Interface Controller), který pracuje nezávisle na procesorovém jádru a je řízen prostřednictvím stavového a kontrolního registru.

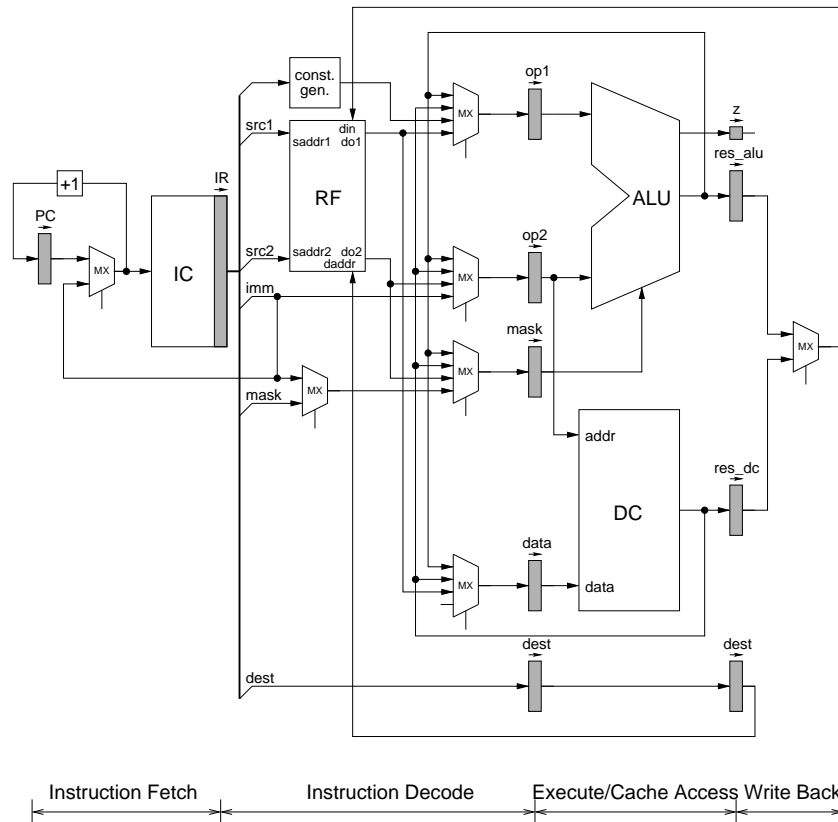
3 PROCESOROVÉ JÁDRO

Hlavní výkonnou jednotkou HFE je procesorové jádro (obr. 2). Jedná se o 16-bitový skalární procesor založený na architektuře RISC. Je postaven na harvardské koncepci, tzn. že datový a instrukční adresový prostor je oddělen. Linka pro zřetězené zpracování instrukcí obsahuje 4 stupně (Instruction Fetch – načtení instrukce, Instruction Decode – dekódování instrukce, Execute/Cache Access – provedení instrukce/přístup do paměti, Write Back – zpětný zápis). K dispozici je 32 univerzálních registrů (RF).

Instrukční sada se skládá z jednoduchých a rychle vykonaných instrukcí. Obsahuje běžné instrukce pro aritmetické a logické operace v pevné řádové čárce mimo instrukcí násobení a dělení, které nejsou při analýze paketů potřeba. Dále jsou podporovány instrukce pro řízení toku programu, instrukce skoků a instrukce pro načítání a ukládání do datové paměti. Pro účely analýzy paketů jsou do instrukční sady zahrnuty instrukce pro bitové operace (nastavení nebo nulování bitu) a speciální instrukce pro porovnání obsahu datového slova s maskou.

4 IMPLEMENTACE

Základní část procesorového jádra je implementována v jazyce VHDL a následně bude probíhat její syntéza a implementace do hradlového pole typu FPGA Virtex-II firmy Xilinx Inc. Pro zjištění maximální pracovní frekvence byla provedena analýza délek kombinačních cest. Pomocí nástroje pro syntézu Leonardo Spectrum byla časově nejkritičtější část



Obrázek 2: Architektura procesorového jádra

identifikována ve výpočtu příznaku Z (Zero Flag) v aritmeticko-logické jednotce (ALU). První výsledky implementace v FPGA potvrdily předpokládanou kritickou cestu. Zpoždění této cesty mělo pro FPGA Virtex-II s rychlostním stupněm -4 hodnotu 9,54 ns, což představuje maximální pracovní frekvenci procesoru přibližně 104 MHz. Pro vstupní data paketu o šířce 16 bitů je propustnost HFE procesoru o něco málo vyšší než 1,6 Gb/s.

5 ZÁVĚR

V tomto článku byla prezentována architektura HFE procesoru, navrženého pro technologii FPGA, a zaměřeného na analýzu vstupních paketů. Byla uvedena architektura 4-stupňové zřetěžené instrukční linky a popis instrukční sady včetně operací dedikovaných pro analýzu paketů. V prvním kroku bylo v FPGA implementováno procesorové jádro, které tvoří klíčovou část z pohledu maximální pracovní frekvence procesoru. Na základě výsledku implementace bylo zjištěno, že propustnost systému dosahuje 1,6 Gb/s.

REFERENCE

- [1] Dvořák, V., Drábek, V.: Architektura procesorů. 1. vydání, Brno, VUTIUM 1999.
- [2] Xilinx, Inc.: DS031-1 Virtex-II 1.5V Field Programmable Gate Arrays. Říjen 2001.